

(translation)

NOTICE FOR SUBMISSION OF ARGUMENT

[Mailing Date] August 23, 2006
[Examiner]

Applicant: ADVANCED DISPLAY INC.
(Applicant Code: 520000410683)
997, Miyoshi, Nishigoshi-machi, Kikuchi-gun,
Kumamoto Japan

Agent: KOREANA PATENT FIRM
824-19, Yoksam-dong, Kangnam-ku, Seoul

Application No.: Korean Patent Application No. 2004-16953

Title of the Invention: LIQUID CRYSTAL DISPLAY DEVICE

The present application is to be rejected by the following reasons and this is to notify you under Article 63 of the Korean Patent Law. If you have any argument or amendment against this, please submit Argument [a form No. 25-2 of Regulations under the Korean Patent Law] and/or Amendment [a form No. 5 of Regulations under the Korean Patent Law] on or before October 23, 2006. (month by month extensions of time are permitted, however, any notice of extension approval is not separately forwarded.)

Reason

1. The present application cannot be patented because descriptions in the Claims 1 and 4 are inappropriate as pointed out in 1 below and insufficient based on the Korean Patent Law Art. 42, para. 4, item 2.

2. The invention(s) related to the Claims 1, 2 and 4 of the present application cannot be patented based on the Korean Patent Law Art. 29 para. 2 because it is (they are) able to be utilized by a person having an ordinary skill in the art prior to the application based on the invention pointed out in 2 below.

Remarks

(English translation of this part is omitted.)

List of the Cited References

(1) Korean Unexamined Patent Application Publication No. 2002-70067
(September 5, 2002)

발송번호: 9-5-2006-048267289
발송일자: 2006.08.23
제출기일: 2006.10.23

수신 서울 강남구 역삼1동 824-19 동경빌딩(특
허법인 코리아나)
특허법인코리아나[박해선]

135-934

특 허 청
의견제출통지서
意見提出通知書

출 원 인 명 칭 어드밴스트 디스플레이 인코포레이티드 (출원인코드:
520000410683)
주 소 일본국 구마모또肯 키쿠치군 니시고시마찌 미요시 997
대 리 인 명 칭 특허법인코리아나
주 소 서울 강남구 역삼1동 824-19 동경빌딩(특허법인 코리아나)
지정된변리사 박해선 외 1명

출 원 번 호 10-2004-0016953
발 명 의 명 칭 액정 표시 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법 시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

1. 이 출원은 특허청구범위 제1,4항의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항제2호의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.
2. 이 출원의 특허청구범위 제1,2,4항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술 분야에서 통상의 지식을 가진 자(이하 당업자라 함)가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1. 본원의 청구범위는 아래와 같이 그 기재가 불비하여 이 발명이 명확하게 기재되었다고 볼 수 없으므로 특허법 제42조제4항2호에 위배됩니다.
 - (1) 제1,4항에 기재되어 있는 '거의'로 인하여 구성간의 위치를 특정하기 곤란합니다.
2. 상기 거절이유 1인 기재불비가 있으나, 본원의 특허 청구범위 제1,2,4항에 기재된 발명은, '공통 전극과 접속되는 축적 용량 전극과 축적 용량을 형성하기 위해 배치되면서 화소 전극과 접속되는 축적 용량 형성용 패턴을 구비하고(이하 구성A라 함); 화소 전극은 축적 용량 형성용 패턴으로의 2 이상의 전위 공급 경로를 갖는 것(이하 구성B라 함)'을 특징으로 하는 액정 표시 장치에 관한 것으로 판단됩니다.

한편, 본원 출원전에 공개된 국내공개특허공보 제2002-0070067호(2002.09.05. 이하 인용 발명이라 함)는 액정 표시 장치에 관한 것입니다.

본원발명 제1,2,4항과 인용발명을 비교하면, 본원발명의 기술적 특징부인 구성A(제1항)의 공통 전극, 화소 전극, 축적 용량 전극과 축적 용량 형성용 패턴으로 형성된 축적 용량은 인용발명(도면3,7 등 참고)의 공통 신호 전극, 화소 전극, 공통 신호 배선과 화소 전극의 수평 부분으로 형성된 축적 용량에 각각 대응되고, 기술적 특징부인 구성B(제1항)는 인용발명의 도면3,7 등의 구성으로부터 그 대응이 자명합니다. 한편, 본원발명 제2항은 게이트 전극, 소오스 전극, 드레인 전극의 형성 및 전위 공급 경로의 위치를 한정하고 있으나, 전자는 TFT의 기본구성으로 인용발명에 개시되어 있고, 후자 역시 인용발명의 도면3,7 등에 개시되어 있습니다. 또한, 본원발명 제4항은 축적 용량 전극과 축적 용량 형성용 패턴의 위치는 인용발명의 도면3 등에 영상 신호 배선의 배선 방향으로 중앙부에 배치되는 것으로 상이하지 않게 개시되어 있는 바, 당업자라면 인용발명의 구성을 채택하여 본원발명 제1,2,4항을 달성할 수 있고, 또한 그로인한 기술적 구성의 곤란성도 없으며, 효과 역시 충분히 예측 가능합니다.

따라서 본원 특허청구범위 제1,2,4항에 기재된 발명은 당업자가 상기 인용발명에 의해 용이하게 발명할 수 있습니다. (특허법 제29조제2항)

[첨 부]

첨부1 공개특허 제2002-70067호(2002.09.05) 1부. 끝.

2006.08.23

특허청

정보통신심사본부
디스플레이심사팀

심사관

윤성주



<< 안내 >>

영세서 또는 도면 등의 보정서를 전자문서로 제출할 경우 매건 3,000원, 서면으로 제출할 경우 매건 13,000원의 보정료를 납부하여야 합니다.

보정료는 접수번호를 부여받아 이를 납부자번호로 "특허법·실용신안법·디자인보호법및상표법에 의한 특허료 등록료와 수수료의 징수규칙" 별지 제1호서식에 기재하여, 접수번호를 부여받은 날의 다음 날까지 납부하여야 합니다. 다만, 납부일이 공휴일(토요휴무일을 포함한다)에 해당하는 경우에는 그날 이후의 첫 번째 근무일까지 납부하여야 합니다.

보정료는 국고수납은행(대부분의 시중은행)에 납부하거나, 인터넷으로(www.giro.or.kr)로 납부할 수 있습니다. 다만, 보정서를 우편으로 제출하는 경우에는 보정료에 상응하는 통상환을 동봉하여 제출하시면 특허청에서 납부해드립니다.

기타 문의사항이 있으시면 ☎042)481-5987로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 쿨센터(☎1544-8080)로 문의하시기 바랍니다.

(19) 대한민국특허청 (KR)
 (12) 공개특허공보 (A)

(51) Int. Cl. 7
 G02F 1/1343

(11) 공개번호 특2002-0070067
 (43) 공개일자 2002년09월05일

(21) 출원번호 10 - 2001 - 0052738
 (22) 출원일자 2001년08월30일

(30) 우선권주장 JP - P - 2001 - 00055365 2001년02월28일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
 일본 도쿄도 치요다구 간다스루가다이 4조메 6반치

(72) 발명자 니시무라에쓰꼬
 일본 도쿄도 지요다구 마루노우찌 1조메 5-1 신마루노우찌 빌딩 가부시키가이샤 히타치 세이사쿠
 쇼지적소유권본부내
 아베마고또
 일본 도쿄도 지요다구 마루노우찌 1조메 5-1 신마루노우찌 빌딩 가부시키가이샤 히타치 세이사쿠
 쇼지적소유권본부내
 와까기마사또시
 일본 도쿄도 지요다구 마루노우찌 1조메 5-1 신마루노우찌 빌딩 가부시키가이샤 히타치 세이사쿠
 쇼지적소유권본부내
 오니사와겐이찌
 일본 도쿄도 지요다구 마루노우찌 1조메 5-1 신마루노우찌 빌딩 가부시키가이샤 히타치 세이사쿠
 쇼지적소유권본부내
 오기시로겐지
 일본 도쿄도 지요다구 마루노우찌 1조메 5-1 신마루노우찌 빌딩 가부시키가이샤 히타치 세이사쿠
 쇼지적소유권본부내
 나카요시요시아끼
 일본 도쿄도 지요다구 마루노우찌 1조메 5-1 신마루노우찌 빌딩 가부시키가이샤 히타치 세이사쿠
 쇼지적소유권본부내
 이시이마사히로
 일본 도쿄도 지요다구 마루노우찌 1조메 5-1 신마루노우찌 빌딩 가부시키가이샤 히타치 세이사쿠
 쇼지적소유권본부내
 단노준지
 일본 도쿄도 지요다구 마루노우찌 1조메 5-1 신마루노우찌 빌딩 가부시키가이샤 히타치 세이사쿠
 쇼지적소유권본부내

(74) 대리인 장수길
 구영창

임사정구 : 있음

(54) 액정 표시 장치

요약

본 발명은 배선의 신호 지연이나 액정의 구동 전압의 상승을 야기하지 않고, 화소 개구율이 크고 고화도이며 수율이 양호한 횡전계 방식의 액정 표시 장치를 제공하는 것을 목적으로 한다.

본 발명의 액정 표시 장치는, 영상 신호 배선(DL) 또는 주사 신호 배선(GL) 중 적어도 한쪽의 신호 배선과 공통 신호 전극(CE)이 그 일부에서 충간 절연막(PAS)을 통해 중첩한 부분에 용량이 형성된 배치 구조에 있어서, 충간 절연막(PAS)에 포함되는 절연막 중 적어도 한 층(OIL1)을 화소 전극(PX) 상의 적어도 일부 영역에 대해 선택적으로 형성하도록 이루어진 것을 특징으로 한다.

대표도
도 3

색인어

액정 표시 장치, 신호 배선, 공통 신호 전극, 충간 절연막, 화소 전극, 횡전계 방식

명세서

도면의 간단한 설명

도1의 (a) 및 (b)는 배선 중첩 부분의 충간 절연막 구조에 대해 용량 저감용 절연막을 새로이 한 층 추가하였을 때의 용량 저감 효과를 나타내는 도면.

도2의 (a), (b) 및 (c)는 화소 전극상에 배치되는 절연막 구조를 변경하였을 때의 액정의 구동 전압 저감의 효과를 나타내는 도면.

도3은 본 발명에 따른 액티브 매트릭스형 액정 표시 장치의 제1 실시 형태, 즉 영상 신호 배선(DL)과 공통 신호 전극(CE)을 선택적으로 형성한 충간 절연막(OIL1)을 통해 중첩한 구조에 있어서의 TFT 기판측의 단위 화소의 평면도.

도4는 도3의 A - A'선에 따른 TFT 기판의 단면도.

도5는 도3의 B - B'선에 따른 TFT 기판의 단면도.

도6은 제1 실시 형태에 있어서 공통 신호 전극(CE)의 패턴 형상을 변경한 구조의 실시 형태의 A - A'선에 따른 단면도.

도7은 도3 중의 A - A'에 따른 TFT 기판과 컬러 필터 기판을 포함하는 단면도.

도8은 제1 실시 형태에 있어서 멀티 도메인 방식을 적용한 실시 형태에서의 단위 화소의 평면도.

도9는 제1 실시 형태에 있어서 공통 신호 배선(CL)의 배치를 변경한 실시 형태에서의 단위 화소의 평면도.

도10은 제1 실시 형태에 있어서, 화소 전극(PX)을 투명 도전막으로 형성한 실시 형태에서의 단위 화소의 평면도.

도11은 제1 실시 형태의 액티브 매트릭스형 액정 표시 장치의 전기 회로를 나타내는 개략도.

도12의 (a) 및 (b)는 제1 실시 형태의 액티브 매트릭스형 액정 표시 장치의 기판 단부의 단면 모식도.

도13의 (a)는 제1 실시 형태의 액티브 매트릭스형 액정 표시 장치의 주사 신호 배선(GL) 용 단자(GTM) 부분의 주요부 평면도이고, 도13의 (b)는 A-A'선에 따른 단면도.

도14의 (a)는 제1 실시 형태의 액티브 매트릭스형 액정 표시 장치의 영상 신호 배선(DL) 용 단자(DTM) 부분의 주요부 평면도이고, 도14의 (b)는 A-A'선에 따른 단면도.

도15는 제1 실시 형태의 액티브 매트릭스형 액정 표시 장치의 구조를 실현하기 위한 프로세스 흐름을 나타내는 흐름도.

도16의 (a), (b), (c), (d), (e) 및 (f)는 도15의 프로세스 흐름에 따라 TFT 기판을 제작하였을 때의 도3의 A-A'선에 따른 단면도이고, 도16의 (a'), (b'), (c'), (d'), (e') 및 (f')는 B-B'선에 따른 단면도.

도17은 본 발명에 따른 액티브 매트릭스형 액정 표시 장치의 제2 실시 형태, 즉 영상 신호 배선(DL) 뿐만아니라, 주사신호 배선(GL)에 대해서도 공통 신호 전극(CE)과 중첩한 구조에 있어서의 단위 화소의 평면도.

도18은 도17의 B-B'선에 따른 단면도.

도19는 제2 실시 형태에 있어서 공통 신호 전극(CE)의 패턴 형상을 변경한 실시 형태에 있어서의 B-B'선에 따른 단면도.

도20은 제2 실시 형태에 있어서 공통 신호 배선(CL)을, 공통 신호 전극(CE)과 같은 층에 공통 신호 전극(CE)을 연장하여 형성한 실시 형태에 있어서의 단위 화소의 평면도.

도21은 도20 중의 B-B'선에 따른 단면도.

도22는 본 발명에 따른 액티브 매트릭스형 액정 표시 장치의 제3 실시 형태, 즉 화소 전극(PX) 상의 절연막을 선택적으로 제거한 구조에 있어서의 단위 화소의 평면도.

도23은 도22의 A-A'선에 따른 단면도.

도24는 도22의 B-B'선에 따른 단면도.

도25는 도22 내지 도24에 도시한 제3 실시 형태에 있어서, 화소 전극(PX) 위를 선택적으로 제거한 절연막(OIL1) 패턴 형상을 변경한 구조의 실시 형태에서의 A-A'선에 따른 단면도.

도26은 제3 실시 형태의 제1 응용예에 있어서, 화소 전극(PX) 상의 절연막(OIL1)을 선택적으로 박막화한 구조의 실시 형태에서의 A-A'선에 따른 단면도.

도27은 제3 실시 형태의 제2 응용예에 있어서, 화소 전극(PX) 상의 절연막인 TFT의 표면 보호막(PAS) 자체를 선택적으로 제거한 구조의 실시 형태에서의 A-A'선에 따른 단면도.

도28은 제3 실시 형태의 제3 응용예에 있어서, 화소 전극(PX) 위를 선택적으로 제거한 절연막(OIL1) 패턴을 이용하여, 하층의 TFT 표면 보호막(PAS)에 대해서도 선택적으로 일괄 제거한 실시 형태에서의 A-A'선에 따른 단면도.

도29는 도28에 도시한 실시 형태에 있어서의 B-B'선에 따른 단면도.

도30은 도28 및 도29에 도시한 제3 응용예에 있어서 절연막(OIL1) 패턴 형상을 변경한 구조의 실시 형태에서의 단위화소의 평면도.

도31은 도30 중의 A-A'선에 따른 단면도.

도32의 (a) 및 (b)는 본 발명의 제3 실시 형태의 제3 응용 예에 관한 액티브 매트릭스형 액정 표시 장치의 기판 단부의 단면 모식도.

도33의 (a)는 본 발명의 제3 실시 형태의 제3 응용 예에 관한 액티브 매트릭스형 액정 표시 장치의 주사 신호 배선(GL) 용 단자(GTM) 부분의 주요부 평면도이고; 도33의 (b)는 A-A'선에 따른 단면도.

도34의 (a)는 본 발명의 제3 실시 형태의 제3 응용 예에 관한 액티브 매트릭스형 액정 표시 장치의 영상 신호 배선(DL) 용 단자(DTM) 부분의 주요부 평면도이고, 도34의 (b)는 A-A'선에 따른 단면도.

도35는 본 발명의 제3 실시 형태의 제3 응용 예에 관한 액티브 매트릭스형 액정 표시 장치의 구조를 실현하기 위한 프로세스 흐름을 나타내는 도면.

도36의 (a), (b), (c), (d) 및 (e)는 도35의 프로세스 흐름에 따라 TFT 기판을 제작하였을 때의 도22에 있어서의 A-A'선에 따른 단면도이고, 도36의 (a'), (b'), (c'), (d') 및 (e')는 B-B'선에 따른 단면도.

도37은 도28 및 도29에 나타낸 제3 실시 형태에 있어서, 화소 전극상의 절연막(OIL1), TFT의 표면 보호막(PAS)을 선택적으로 제거한 후, 노출한 화소 전극(PX), 공통 신호 전극(CE) 표면을 덮도록 절연막(OIL2)을 형성한, 본 발명의 제4 실시 형태에 있어서의 A-A'선에 따른 단면도.

도38은 도37에 나타낸 제4 실시 형태에 있어서, 화소 전극(PX) 표면만을 덮도록 절연막(OIL2)을 형성하고, 공통 신호 전극(CE)에 대해서는 노출시킨 구조의 실시 형태에 있어서의 A-A'선에 따른 단면도.

도39는 도28 및 도29에 도시한 제3 실시 형태에 있어서, 화소 전극상의 절연막(OIL1), TFT의 표면 보호막(PAS)을 선택적으로 제거하여 생긴 단차 부분을 매립하여, 평탄화하도록 절연막(OIL3)을 형성한 본 발명의 제5 실시 형태에 있어서의 A-A'선에 따른 단면도.

도40은 제3 실시 형태에 있어서, 하층의 TFT 표면 보호막(PAS)을 생략하고, 화소 전극(PX) 위를 선택적으로 제거하여 형성한 절연막(OIL1)에서, TFT 표면 보호막을 겸용한 본 발명의 제6 실시 형태에 있어서의 A-A'선에 따른 단면도.

도41은 도40에 도시한 제6 실시 형태에 있어서의 B-B'선에 따른 단면도.

도42는 제3 실시 형태에 있어서, 화소의 스위칭 소자에 정(正) 스태거(staggered)형의 TFT를 적용한 본 발명의 제7 실시 형태, 즉 화소 전극(PX) 위를 선택적으로 제거한 절연막(OIL1) 패턴을 이용하여 하층의 TFT 표면 보호막(PAS) 및 게이트 절연막(GI)에 대해서도 선택적으로 일괄 제거한 구조에 있어서의 A-A'선에 따른 단면도.

도43은 도42에 도시한 제7 실시 형태에 있어서의 B-B'선에 따른 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

GL : 주사 신호 배선

DL : 영상 신호 배선

TFT : 박막 트랜지스터

TH : 스루 홀

Cstg : 축적 용량

PX : 화소 전극

CE : 공통 신호 전극

CL : 공통 신호 배선

SD : 영상 신호 전극

SI : 반도체층

OIL1 : 도포형 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로서, 특히 횡전계 방식의 액정 표시 장치에 관한 것이다.

화소를 구성하는 표시 영역에 스위칭 소자로서 박막 트랜지스터(TFT:THIN FILM TRANSISTOR) 소자를 형성하는 구조의 액티브 매트릭스(active matrix) 방식 액정 표시 장치가 알려져 있다.

액티브 매트릭스 방식 액정 표시 장치에 있어서는, 한쌍의 기판 사이에 액정층을 삽입하고, 이 액정층을 각 기판으로 끼워 지지한 구조가 채용되고 있다. 한쌍의 기판 중, 한쪽의 기판(TFT 기판)측에는 TFT 소자, 화소 전극, 주사(走査) 신호나 영상 신호의 전극이나 배선, 및 배선과 외부 구동 회로를 접속하기 위한 단자 등이 형성되고, 다른 쪽의 기판(CF 기판)측에는 컬러 필터와 대향 전극이 형성되고, 기판면에 거의 수직인 종전계(縱電界)를 인가하여 표시하는 트위스트 네마틱(twist nematic) 표시 방식을 채용하고 있다.

상기 방식에 대해 액정 표시 장치의 과제가 되었던 시야각과 콘트라스트(contrast)를 개선할 수 있는 방식으로서, 컬러 필터 기판측에 배치한 대향 전극 대신에 TFT 기판측에 공통 신호 전극을 배치하고, 빛살 형상의 화소 전극과 공통 신호 전극 사이에 전압을 인가함으로써, 기판면에 거의 평행인 전계 성분을 표시에 이용한 횡전계(IN PLAIN SWITCHING) 방식의 액정 표시 장치가 일본 특개평6-160878호 공보에 제안되어 있다.

화소 전극 및 공통 신호 전극은 메탈 전극 배선 재료로 구성해도 되고, 일본 특개평9-73101호 공보에 개시된 바와 같이 트위스트 네마틱 표시 방식에 있어서, 투명 화소 전극으로 사용되고 있는 산화 인듐 주석(ITO:INDIUM TIN OXIDE)으로 구성해도 된다.

상기 횡전계 방식의 액정 표시 장치에서는 화소 전극과 공통 신호 전극간 이외에 화소 전극 및 공통 신호 전극과 이들 전극에 인접하여 배치되어 있는 신호 배선과의 사이에도 본래의 표시에 불필요한 누설 전계가 발생한다.

이들 전극에 인접하여 배치되어 있는 신호 배선은 예를 들면 x방향으로 연장되며 y방향으로 병설되는 주사 신호 배선 또는 y방향으로 연장되며 x방향으로 병설되는 영상 신호 배선이다.

상기 누설 자계에 의한 크로스토크(cross - talk)로 인해 그 부분의 액정이 구동되어 광누설을 발생시키는 것이 알려져 있다. 이 같은 광누설 부분은 신호 배선을 따른 방향으로 띠형상으로 선을 긋는 화질 불량(스미어(smear))을 일으킨다.

상기 문제를 해결하는 수단은 예를 들면 일본 특개평6-202127호 공보에 상세히 기재되어 있다.

그러나, 상기 액정 표시 장치는 신호 배선에 인접하여 전계 차폐를 위한 실드(shield) 전극을 배치하고, 이 실드 전극에 외부로부터 기준 전위를 공급하도록 구성되어 있으므로, 실드 전극과 신호 전극 사이의 용량에 대한 전류의 충방전이 커서 구동 회로에 대해 부하가 너무 커진다.

따라서, 액정 표시 장치의 소비 전력이 너무 커지거나 구동 회로가 너무 커진다. 나아가서는 실드 전극에 전위를 인가하기 위한 접속 수단이 필요하기 때문에 공정의 증가나 접속 불량이 발생한다.

또한, 상기 방식은 표시에 기여하는 화소의 개구 부분의 면적 실드 전극 배치분 만큼 작아지기 때문에 액정 표시 장치의 휘도를 저하시키는 중대한 문제가 있다.

이들 문제를 해결하는 수단이 일본 특원평 10 - 543713(WO98/47044) 호에 상세히 기재되어 있다.

빗살 형상의 화소 전극과 나란히 형성하여 인접하는 영상 신호 배선에 대해, 기판 전체면에 형성된 유기 절연막을 통해 평면적으로 보아 완전히 중첩시킨 상태에서 기준 전극이 형성되어 있는 구조를 채용하고, 영상 신호 배선에서 발생하는 불필요한 전기력선의 거의 전부가 기준 전극에서 종단되도록 되어 있다.

따라서, 횡전계 방식 특유의 누설 전계로 인한 크로스토크 문제를 해소할 수 있다.

상기 방식에서는 이전부터 크로스토크를 저감하기 위해 영상 신호 배선의 양옆 또는 대향 기판위에 배치된 실드 전극이 필요없게 되므로, 개구 부분의 면적을 크게 할 수 있다.

기준 전극위의 액정층이 자기 차광층으로 기능하므로, 종래에 영상 신호 배선과 실드 전극의 간극 부분을 감추기 위해 형성하였던 차광막(블랙(black) 매트릭스)도 필요없어져서 화소의 개구율을 더욱 향상시킬 수 있다.

또한, 층간막으로서 기판 전체면에 형성된 유기 절연막은 무기 절연막에 비해 그 유전율이 작고, 유기 절연막은 무기 절연막에 비해 막을 두껍게 만들기 용이하므로, 영상 신호 배선위에 기준 전극을 완전히 덮어씌운 경우에도 영상 신호 배선과 기준 전극 사이에 형성되는 배선의 기생(寄生) 용량을 작게 할 수 있다.

따라서, 영상 신호 배선에서 보았을 때의 부하가 가벼워지기 때문에, 영상 신호의 배선 전파 지연이 작아지고, 신호 전압이 충분히 표시 전극에 충전할 수 있게 된다.

그 결과, 영상 신호 배선을 구동하기 위한 구동 회로를 축소할 수 있다.

그러나, 상기 종래 기술에서는 다음과 같은 새로운 과제가 발생한다.

상기한 바와 같이, 액정에 전압을 인가하여 표시하는 경우에는 화소 전극과 공통 신호 전극 사이에 인가하는 전위차를 이용한다.

상기 종례예에서는 기준 전극이 되는 공통 신호 전극은 영상 신호 배선과 공통 신호 전극 사이의 용량을 저감하기 위해, 기판 전체면에 형성된 유기 절연막을 통한 최상층에 형성되는데, 화소 전극은 이보다 아래층에 배치되기 때문에 화소 전극위에 유기 절연막이 배치되는 구조가 된다.

따라서, 유기 절연막이 화소 전극과 공통 신호 전극 사이에서 액정과 직렬로 접속되는 용량을 새로이 형성하게 된다.

이로 인해, 화소 전극과 공통 신호 전극 사이에 인가된 전위차의 일부가 액정층과 직렬로 접속되는 용량에 의해 흡수된다는 문제가 발생한다. 그 결과, 화소 전극과 공통 신호 전극 사이에는 이 전압 강하분을 고려하여 액정에 인가하고자 하는 원하는 전압 이상의 전위차를 가할 필요가 있다.

즉, 영상 신호 배선과 공통 신호 전극 사이의 용량을 저감하기 위해 형성된 유기 절연막의 존재로 인해 액정층과 직렬로 접속되는 용량 성분도 작아지고, 결과적으로 액정과 직렬로 접속되는 용량에 의한 전압 강하분이 증대하여 액정의 구동 전압이 상승한다는 새로운 과제가 발생한다.

구동 전압이 상승하면 소비 전력의 상승을 초래하기 때문에 특히 휴대형 액정 표시 장치로서는 적합하지 않게 된다.

또한, 구동 전압이 상승하면 저렴한 저전압 드라이버를 사용할 수 없기 때문에 액정 표시 장치를 저렴하게 제공할 수 없게 되는 과제도 발생한다.

따라서, 상기 종례예에 있어서는, 신호 배선 위에 전계를 차폐하기 위한 기준 전극이 되는 공통 신호 전극을 층간 절연 막을 통해 중첩시키는 구조의 횡전계 방식의 액정 표시 장치에서는, 신호 배선과 공통 신호 전극의 중첩 부분에 형성되는 신호 배선의 기생 용량의 저감과, 화소 전극과 공통 신호 전극 사이에서 액정과 직렬로 접속되는 용량의 증대를 양립 시키기 어려웠다.

이에 대하여, 화소 전극을 유기 절연막의 위, 즉 공통 신호 전극과 같은 층의 최상층에 배치하면 상기한 구동 전압 상승의 문제는 회피할 수 있다(일본 특원평10-543713(WO98/47044)호 공보).

그러나, 화소 전극과 공통 신호 전극이 같은 층에 형성되므로, 패터닝(patterning) 불량 등으로 인한 화소 전극과 공통 신호 전극 사이의 단락 불량 확률이 커진다. 따라서, 화소 전극과 공통 신호 전극 패턴의 간격을 크게 확보해야 하기 때문에 화소 전극 및 공통 신호 전극 패턴의 배치에 제한을 받는다.

또한, 화소 전극과 TFT의 소스 전극과의 접속을 위해 유기 절연막에 스루 홀(through hole)을 새로 개구해야 하기 때문에, 접속 불량 등으로 인한 점결함 불량을 초래하기 쉽다. 또한, 스루 홀 부분이 개구부로서 기여하지 못하므로 그 만큼 개구율도 저하된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 영상 신호 배선 또는 주사 신호 배선 중 적어도 한쪽의 신호 배선 위에 전계를 차폐하기 위한 기준 전극이 되는 공통 신호 전극이 층간 절연막을 통해 적층된 구조의 횡전계 방식의 액정 표시 장치에 있어서, 영상 신호 배선 또는 주사 신호 배선과 공통 신호 전극의 중첩 부분에 형성되는 신호 배선의 기생 용량의 저감과, 화소 전극과 공통 신호 전극 사이에서 액정과 직렬로 접속되는 용량의 증대를 양립시킬 수 있는 구조를 구비한 액정 표시 장치를 제공하는 것이다.

발명의 구조 및 작용

본 발명은 상기 목적을 달성하기 위해, 한쌍의 기판과, 이 기판에 끼워 지지된 액정층과, 상기 한쌍의 기판의 제1 기판에는 복수의 주사 신호 배선과 이것들과 매트릭스상으로 교차하는 복수의 영상 신호 배선과, 이들 배선의 각각의 교차 점에 대응하여 형성된 복수의 박막 트랜ジ스터를 가지고, 상기 복수의 주사 신호 배선 및 상기 영상 신호 배선으로 둘러싸이는 각각의 영역에서 적어도 하나의 화소가 구성되고, 각각의 화소에는 복수의 화소에 걸쳐 공통 신호 배선에 의해 접속된 공통 신호 전극과, 대응하는 박막 트랜ジ스터에 접속된 화소 전극을 가지고, 상기 공통 신호 전극과 상기 화소 전극 사이에 인가되는 전압에 의해, 상기 액정층에는 상기 제1 기판에 대해 지배적으로 평행한 성분을 갖는 전계가 발생하는 액정 표시 장치에 있어서, 다음과 같은 수단을 강구한 것을 특징으로 한다.

- (1) 상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이 그 일부에 있어서 층간 절연막을 통해 중첩되고, 이 중첩된 부분에 의해 용량이 형성되고, 상기 층간 절연막에 포함되는 절연막 중 적어도 한 층을, 상기 화소 전극위의 적어도 일부의 영역에 대해 상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이 중첩되는 영역의 적어도 일부의 영역에 선택적으로 형성한 구조로 한다.

(2) 상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이 그 일부에 있어서 충간 절연막을 통해 중첩되고, 이 중첩된 부분에 의해 용량이 형성되고, 상기 충간 절연막에 포함되는 절연막의 층수를 n , 제k층의 절연막의 유전율을 ϵ_k , 막두께를 dK 로 한 경우의 수학식 1를 SA로 하고, 상기 화소 전극위의 적어도 일부의 영역에 있어서, 상기 화소 전극위에 배치된 제1 배향막과 상기 화소 전극 사이에 배치된 절연막의 층수를 m , 제1층의 절연막의 유전율을 ϵ_L , 막두께를 dL , 액정의 다이렉터에 대해 수직방향의 액정의 유전율을 ϵ_{LC} 로 한 경우의 수학식 2(단 $m \geq 1$ 로 한다)을 SB로 한 경우에 $SA < SB$ 가 성립하는 구조로 한다.

수학식 1

$$\frac{1}{\sum_{k=1}^n \frac{d_k}{\epsilon_k}}$$

수학식 2

$$\frac{1}{\left(\sum_{l=1}^m \frac{d_l}{\epsilon_l} \right) + \frac{\sum_{k=1}^n d_k - \sum_{l=1}^m d_l}{\epsilon_{LC}}}$$

(3) 상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이 그 일부에 있어서 충간 절연막을 통해 중첩되고, 이 중첩된 부분에 의해 용량이 형성되고, 상기 충간 절연막에 포함되는 절연막의 층수를 n , 제k층의 절연막의 유전율을 ϵ_k , 막두께를 dK 로 한 경우의 수학식 3를 SA로 하고, 상기 화소 전극위의 적어도 일부의 영역에 있어서, 상기 화소 전극위에 배치된 절연막의 층수를 m , 제1층의 절연막의 유전율을 ϵ_L , 막두께를 dL , 액정의 다이렉터에 대해 평행방향인 액정의 유전율을 ϵ_{LC} 로 한 경우의 수학식 4(단 $m \geq 1$ 로 한다)을 SB로 한 경우에 $SA < SB$ 가 성립하는 구조로 한다.

수학식 3

$$\frac{1}{\sum_{k=1}^n \frac{d_k}{\epsilon_k}}$$

수학식 4

$$\frac{1}{\left(\sum_{l=1}^m \frac{d_l}{\epsilon_l} \right) + \frac{\sum_{k=1}^n d_k - \sum_{l=1}^m d_l}{\epsilon_{LC}}}$$

(4) 상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이 그 일부에 있어서 충간 절연막을 통해 중첩되고, 이 중첩된 부분에 의해 용량이 형성되고, 상기 화소 전극위의 적어도 일부의 영역에 있어서, 상기 제1 기판위에 배치된 제1 배향막과 상기 화소 전극 사이에는 절연막이 존재하지 않고, 상기 충간 절연막에 포함되는 절연막의 총수를 n, 제k층의 절연막의 유전율을 ϵ_k , 막두께를 d_k로 한 경우의 수학식 5를 SA로 하고, 액정의 다이렉터에 대해 수직방향인 유전율을 ϵ_{LC} 로 한 경우의 수학식 6를 SB로 한 경우에 SA < SB 가 성립하는 구조로 한다.

수학식 5

$$\frac{1}{\sum_{k=1}^n \frac{d_k}{\epsilon_k}}$$

수학식 6

$$\frac{\epsilon_{LC}}{\sum_{k=1}^n d_k}$$

(5) 상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이 그 일부에 있어서 충간 절연막을 통해 중첩되고, 이 중첩된 부분에 의해 용량이 형성되고, 상기 화소 전극위의 적어도 일부의 영역에 있어서, 상기 제1 기판위에 배치된 제1 배향막과 상기 화소 전극 사이에는 절연막이 존재하지 않고, 상기 충간 절연막에 포함되는 절연막의 총수를 n, 제k층의 절연막의 유전율을 ϵ_k , 막두께를 d_k로 한 경우의 수학식 7을 SA로 하고, 액정의 다이렉터에 대해 평행방향인 유전율을 ϵ_{LC} 로 한 경우의 수학식 8을 SB로 한 경우에 SA < SB 가 성립하는 구조로 한다.

수학식 7

$$\frac{1}{\sum_{k=1}^n \frac{d_k}{\epsilon_k}}$$

수학식 8

$$\frac{\epsilon_{LC}}{\sum_{k=1}^n d_k}$$

상기 항목 (1) 내지 (5) 중의 어느 한 구조를 채택함으로써, 영상 신호 배선 또는 주사 신호 배선과 공통 신호 전극의 중첩 부분에 형성되는 신호 배선의 기생 용량을 저감한 경우에도 화소 전극과 공통 신호 전극 사이에서 액정과 직렬로 접속되는 용량을 독립적으로 증대시킬 수 있고, 구동 전압의 상승을 억제할 수 있다.

구체적으로는, 항목 (1)에 기재한 바와 같이, 배선과 공통 신호 전극의 중첩 부분에 형성한 층간 절연막, 즉 배선의 기생 용량 저감을 위해 형성한 층간 절연막을 화소 전극위에는 형성하지 않는 구조, 즉 절연막을 선택적으로 형성하는 구조로 함으로써, 층간 절연막의 막두께 증대화 또는 층간 절연막의 구조를 변화시켜 배선의 기생 용량을, 액정층과 직렬로 접속되는 용량과는 독립적으로 임의로 저감할 수 있다.

또한 구동 전압의 저감에 관해서는, 항목 (1) 내지 (5)에 기재한 바와 같이, 화소 전극이 존재하는 영역위의 절연막, 다시 말하면 액정층과 직렬로 접속되는 용량을 형성하는 절연막을 선택적으로 제거하는 구조로 한다.

이에 따라, 선택적으로 제거한 영역에 이번에는 액정이 존재하게 된다. 여기서, 구동 전압의 저감 효과를 얻기 위해서는 선택적으로 제거한 절연막의 절연막 총수를 j , 제 i 층의 절연막의 유전율을 ϵ_i , 막두께를 d_i 로 한 경우의 수학식 9에 대해, 액정의 유전율을 ϵ_{LC} 로 한 경우의 수학식 10을 크게 해야만 한다.

여기서, ϵ_{LC} 는 $\Delta \epsilon$ 가 양의 액정인 경우에는 액정의 다이렉터에 대해 평행방향인 유전율로 하고, $\Delta \epsilon$ 가 음의 액정인 경우에는 액정의 다이렉터에 대해 수직방향인 유전율로 한다. 즉, 액정층에 전압을 인가하였을 때에 하측 기판에서부터 상측 기판을 향해 본 경우의 유전율로 한다.

수학식 9

$$\frac{1}{\sum_{i=1}^j \frac{d_i}{\epsilon_i}}$$

수학식 10

$$\frac{\epsilon_{LC}}{\sum_{i=1}^j d_i}$$

상기 수학식이 성립하는 경우에만 구동 전압 저감의 효과를 얻을 수 있다.

일반적으로 구현하고 있는 액정 표시 장치의 액정층의 ϵ_{LC} 는 7 이상이므로, 선택적으로 형성하는 절연막이 질화 실리콘($\epsilon = 6\sim 7$), 산화 실리콘($\epsilon = 3\sim 4$)등임을 고려하면 대부분의 경우에 절연막을 선택적으로 제거함으로써, 화소 전극과 공통 신호 전극 사이에서 액정과 직렬로 접속되는 용량을 증대할 수 있어 구동 전압을 저감할 수 있다.

또한 상기한 방식의 조합으로서, 구체적으로는 배선과 공통 신호 전극의 중첩 부분에 형성한 층간 절연막의 구조를, 예를 들면 게이트 절연막으로서의 기능을 갖는 절연막의 일부 또는 박막 트랜지스터의 표면 보호막의 기능을 갖는 절연막의 일부와, 그 이상의 신규 절연막과의 적층 구조로 하고, 그 신규 절연막을 화소 전극위의 영역에 대해 선택적으로 형성하고, 나아가서는 종래 구조에서 사용한 절연막을 화소 전극위의 영역에 대해 선택적으로 형성하고, 신규 절연막과 동일한 영역에 선택적으로 형성함으로써 실현할 수 있다.

다음으로, 상기 구조를 실현하기 위한 보다 구체적인 구조를 이하에 나타낸다.

(6) 상기 항목 (1) 내지 (5) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 층간 절연막과, 상기 화소 전극위의 적어도 일부의 영역에 있어서, 상기 제1 기판위에 형성된 제1 배향막과 상기 화소 전극 사이에 배치된 절연막에서, 절연막층의 층수, 층을 구성하는 재료의 막두께 또는 층을 구성하는 재료의 유전율 중 적어도 하나가 상이한 구조로 한다.

(7) 상기 항목 (1) 내지 (6) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 충간 절연막이 한 층으로 구성되고, 또한 그 한 층을 상기 화소 전극위의 적어도 일부의 영역에 대해 선택적으로 형성한 구조로 한다.

(8) 상기 항목 (7)에 기재된 액정 표시 장치에 있어서, 상기 충간 절연막이 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막의 일부 또는 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막의 일부 중 어느 하나인 구조로 한다.

(9) 상기 항목 (7)에 기재된 액정 표시 장치에 있어서, 상기 충간 절연막이 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막 또는 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막, 이외의 제3 절연막인 구조로 한다.

(10) 상기 항목 (1) 내지 (6) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 충간 절연막이 2층으로 구성되고, 또한 그 중 적어도 한 층을 상기 화소 전극위의 적어도 일부의 영역에 대해 선택적으로 형성한 구조로 한다.

(11) 상기 항목 (10)에 기재된 액정 표시 장치에 있어서, 상기 충간 절연막이 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막의 일부 및 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막의 일부의 2층으로 구성되어 있는 구조로 한다.

(12) 상기 항목 (10)에 기재된 액정 표시 장치에 있어서, 상기 충간 절연막 중, 한 층이 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막의 일부 또는 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막의 일부 중 어느 하나이고, 다른 일방은 상기 제1 절연막 및 상기 제2 절연막 이외의 절연막에서, 상기 화소 전극위의 적어도 일부의 영역에 대해 선택적으로 형성한 제3 절연막인 구조로 한다.

(13) 상기 항목 (1) 내지 (6) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 충간 절연막이 3층 이상으로 구성되고, 또한 그 중의 적어도 한 층을 상기 화소 전극위의 적어도 일부의 영역에 대해 선택적으로 형성한 구조로 한다.

(14) 상기 항목 (13)에 기재된 액정 표시 장치에 있어서, 상기 충간 절연막에 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막의 일부와, 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막의 일부 및 상기 제1 절연막, 상기 제2 절연막 이외의 절연막에서, 상기 화소 전극위의 적어도 일부의 영역에 대해 선택적으로 형성하는 제2 절연막이 전부 포함되어 있는 구조로 한다.

(15) 상기 항목 (1) 내지 (14) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 화소 전극위의 적어도 일부의 영역에 대해 상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이 그 일부에 있어서 적층되는 부분에 선택적으로 형성된 상기 충간 절연막의 패턴 형상은 상기 영상 신호 배선 또는 상기 주사 신호 배선의 패턴 형상을 따라 형성하는 구조로 한다.

(16) 상기 항목 (15)에 기재된 액정 표시 장치에 있어서, 상기 영상 신호 배선의 폭을 WDL, 상기 영상 신호 배선과 중첩되는 부분에 있어서의 상기 공통 신호 전극의 폭을 WCOM1, 상기 영상 신호 배선의 패턴 형상을 따라 선택적으로 형성한 상기 충간 절연막의 폭을 WISO1로 한 경우에,

WDL < WISO1 < WCOM1

WDL > 0

또는,

WDL < WCOM1 < WISO1

WDL > 0

이 성립하는 구조로 한다.

(17) 상기 항목 (15)에 기재된 액정 표시 장치에 있어서, 상기 주사 신호 배선의 폭을 WGL, 상기 주사 신호 배선과 중첩되는 부분에 있어서의 상기 공통 신호 전극의 폭을 WCOM2, 상기 주사 신호 배선의 패턴 형상을 따라 선택적으로 형성한 상기 충간 절연막의 폭을 WISO2로 한 경우에,

$WGL < WISO2 < WCOM2$

$WGL > 0$

또는,

$WGL < WCOM2 < WISO2$

$WGL > 0$

이 성립하는 구조로 한다.

(18) 상기 항목 (1) 내지 (14) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 공통 신호 전극과 상기 영상 신호 배선이 그 일부에 있어서 적층되는 부분에 형성된 상기 충간 절연막에 대해, 상기 화소 전극위의 적어도 일부의 영역에 형성된 절연막의 적어도 일부를 선택적으로 제거 또는 박막화한 구조로 한다.

(19) 상기 항목 (18)에 기재된 액정 표시 장치에 있어서, 상기 화소 전극위의 적어도 일부의 영역에 형성된 절연막의 적어도 일부를 상기 화소 전극의 패턴 형상을 따라 선택적으로 제거 또는 박막화한 구조로 한다.

(20) 상기 항목 (19)에 기재된 액정 표시 장치에 있어서, 상기 화소 전극의 폭을 WPX, 상기 화소 전극의 패턴 형상을 따라 선택적으로 제거 또는 박막화한 영역의 상기 충간 절연막의 폭을 WISO3으로 한 경우에,

$WISO3 < WPX$

$WISO3 > 0$

이 성립하는 구조로 한다.

(21) 상기 항목 (1) 내지 (20) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 적어도 단자 접속을 위한 노출 영역을 제외한 영역에, 적어도 상기 화소 전극위, 또는 상기 공통 신호 전극위를 덮도록 제4 절연막을 형성한 구조로 한다.

이에 따라, 화소 전극, 공통 신호 전극 표면을 피복(被覆) 보호할 수 있고, 전극 재료가 액정과 접촉함으로 인한 상호 오염 등의 부작용을 방지할 수 있다.

(22) 상기 항목 (1) 내지 (7), (9), (10), (12), (13), (15) 내지 (21) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막을 생략한 구조로 한다.

박막 트랜지스터의 표면 보호막을 제3 절연막으로 대체한 구조이고, 이에 따라 박막 트랜지스터의 표면 보호막 형성 공정을 생략할 수 있고, 제조 공정을 간략화할 수 있다.

(23) 상기 항목 (7), (9), (10), (12) 내지 (22) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 제3 절연막 및 상기 제4 절연막이 도포형 절연막으로 형성된 절연막인 구조로 한다.

(24) 상기 항목 (23)에 기재된 액정 표시 장치에 있어서, 상기 도포형 절연막이 인쇄, 스판 코팅(spin-coating) 등으로 형성되고, 유기계의 수지 절연막 또는 Si를 함유하는 절연막인 구조로 한다.

(25) 상기 항목 (23) 또는 (24)에 기재된 액정 표시 장치에 있어서, 상기 제3 절연막으로서 사용하는 상기 도포형 절연막이 포토 이미지 형성형인 구조로 한다.

(26) 상기 항목 (10), (12) 내지 (25) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막 또는 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막 또는 상기 제1 절연막과 상기 제2 절연막의 적층막을, 상기 선택적으로 형성된 제3 절연막 패턴을 사용하여 일괄적으로 자기정합적(自己整合的)으로 가공하고, 상기 화소 전극위의 적어도 일부의 영역에 대해 상기 제1 절연막 또는 상기 제2 절연막 또는 상기 제1 절연막과 상기 제2 절연막의 적층막을 선택적으로 형성한 구조로 한다.

(27) 상기 항목 (7), (9), (10), (12) 내지 (26) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 제3 절연막의 막두께가 $0.5\mu m \sim 4.0\mu m$ 인 구조로 한다.

(28) 상기 항목 (7), (9), (10), (12) 내지 (27) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 제3 절연막의 유전율이 $1.5 \sim 6.5$ 인 구조로 한다.

(29) 상기 항목 (21)에 기재된 액정 표시 장치에 있어서, 상기 제4 절연막으로서 사용하는 상기 도포형 절연막의 막두께가 $0.1\mu m \sim 0.5\mu m$ 인 구조로 한다.

(30) 상기 항목 (1) 내지 (17), (21) 내지 (29) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 선택적으로 형성된 상기 층간 절연막에 의해 생긴 단차 영역을 매립 평탄화하도록 유전율이 7.0 이상의 제5 절연막을 선택적으로 형성한 구조로 한다.

(31) 상기 항목 (18), (19), (20)에 기재된 액정 표시 장치에 있어서, 상기 화소 전극위의 적어도 일부의 영역에 형성된 절연막의 적어도 일부를 선택적으로 제거 또는 박막화하여 생긴 단차 영역을 매립 평탄화하도록 유전율이 7.0 이상의 제5 절연막을 선택적으로 형성한다.

상기 항목 (30), (31)의 구조에 의해 액정층의 유전율에 관계없이 구동 전압의 저감이 가능해진다.

또한 절연막의 선택 형성, 선택 제거에 의해 생긴 단차를 매립 평탄화할 수 있다.

(32) 상기 항목 (1) 내지 (31) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 공통 신호 배선은 상기 공통 신호 전극과 같은 층에 상기 공통 신호 전극을 연장하여 형성한 구조로 한다.

(33) 상기 항목 (1) 내지 (32) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 공통 신호 배선은 상기 주사 신호 배선 또는 상기 영상 신호 배선 중 어느 하나와 같은 층에서 형성되고, 상기 공통 신호 배선과 상기 공통 신호 전극은 층간 절연막에 개구한 스루 홀을 통해 접속한 구조로 한다.

(34) 상기 항목 (1) 내지 (33) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 화소 전극은 산화 인듐 주석(ITO) 또는 산화 인듐 아연(IZO) 또는 산화 인듐 게르마늄(IGO) 등의 산화 인듐계의 투명 도전막으로 이루어지는 구조로 한다.

(35) 상기 항목 (34)에 기재된 액정 표시 장치에 있어서, 상기 화소 전극은 다결정의 산화 인듐계의 투명 도전막으로 이루어지는 구조로 한다.

(36) 상기 항목 (1) 내지 (35) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 공통 신호 전극은 적어도 그 일부에 산화 인듐 주석(ITO) 또는 산화 인듐 아연(IZO) 또는 산화 인듐 게르마늄(IGO) 등과 같은 산화 인듐계의 투명 도전막을 포함하는 구조로 한다.

(37) 상기 항목 (36)에 기재된 액정 표시 장치에 있어서, 상기 공통 신호 전극의 적어도 일부에 포함되는 상기 산화 인듐계의 투명 도전막은 아모르페스(amorphous)로 이루어지는 구조로 한다.

(38) 상기 항목 (34) 내지 (37) 중 어느 하나에 기재된 액정 표시 장치에 있어서, 상기 화소 전극과, 상기 공통 신호 전극 사이에 전계가 발생하지 않을 때에는 흑(黑)표시가 표시되는 노멀리 블랙 모드(normally black mode)로 한 구조로 한다.

본 발명에 따르면 배선의 신호 지연이나 구동 전압의 상승을 일으키지 않고, 화소 개구율이 크고 휘도가 높은 횡전계 방식의 액정 표시 장치를 제공할 수 있다.

구체적인 실시 형태를 설명하기 전에 도1의 (a), (b), 도2의 (a), (b) 및 (c)를 참조하여 본 발명에 의한 액정 표시 장치의 원리를 설명한다.

도1의 (a), (b), 도2의 (a), (b) 및 (c)의 설명에 있어서는 상기 종래의 구조의 일례를 표준 구조로 하여 본 발명의 구조에 의한 효과를 비교 검증한다.

구체적으로는, 영상 신호 배선과 같은 층에 화소 전극을 형성하고, 층간 절연막으로서 그 위에 TFT의 표면 보호막을 상정한 질화 실리콘 막(유전율 ϵ = 6.7)을 막두께 350nm로 전체면에 형성하고, 최상층에 공통 신호 전극을 형성한다.

영상 신호 배선위에는 상기 층간 절연막을 통해, 실드 전극을 겹친 공통 신호 전극을 중첩한다. 이 구조는 후술하는 도1의 (a) 및 도2의 (c)에 있어서, $x=0$ 의 구조에 상당한다.

우선, 도1의 (a) 및 (b)를 이용하여 종래 구조인 표준 구조에 대해, 용량 저감용 절연막을 한 층 추가하였을 때의 저용량화 효과에 대해 설명한다.

도1의 (a)는 용량 저감용 절연막의 효과를 검토하기 위해 사용한 구조를 나타내는 도면이다. 여기서, 용량 저감용 절연막이란 상기 표준 구조의 층간 절연막인 질화 실리콘 막 350nm와는 별도로 새로이 한 층을 추가한 층간 절연막을 말한다.

도1의 (b)는 용량 저감용 절연막의 막두께(x)에 대한 규격화 용량값의 변화를 나타내는 도면이다. 규격화 용량이란 표준 구조에서의 배선 중첩 부분에 있어서의 기생 용량값에 대한 막두께(x)를 변경한 각 구조의 기생 용량값의 비율로서 정의한다.

용량 저감용 절연막으로서, (B) 유기 재료로 구성되는 도포형 절연막 (ϵ = 3.0), (C) 질화 실리콘 막 (ϵ = 6.7)을 적용한 경우를 도시하고 있다.

도1의 (b)를 통해, 용량 저감용 절연막이 될 수 있는 층간 절연막을 한 층 추가하면 유전율(ϵ)이나 막두께의 차이 등에 따라 효과의 차이는 있지만, 배선 중첩 부분에 생기는 기생 용량을 저감하여 신호 지연을 저감할 수 있음을 알 수 있다.

또한, 표준 구조에 대해 기생 용량값을 1/5, 즉 규격화 용량값을 0.2로 하기 위해서는, 용량 저감용 절연막으로서 ϵ = 3.0의 도포형 유기 절연막인 경우에는 0.6μm, ϵ = 6.7의 질화 실리콘 막인 경우에는 1.4μm의 막두께가 필요함을 알 수 있다. 유전율(ϵ)이 작은 유기 절연막이 보다 박막으로 기생 용량 저감의 효과를 얻을 수 있다.

한편, 구조 (C)의 질화 실리콘 막과 같이, 퇴적막을 용량 저감용 절연막으로서 사용한 경우, 예를 들면 질화 실리콘 막의 형성에는 플라스마 CVD법 등이 사용되므로, 막두께가 커짐에 따라 막 형성에 시간을 요하게 되어 스루풋(through put)이 저하된다는 새로운 문제가 발생한다.

이에 대하여, 도2의 (b)의 도포형 유기 절연막을 사용한 경우, 예를 들면 도포형 절연막의 형성에는 스픬 코팅법 등이 사용된다.

스핀 코팅법에서는 도포 재료의 점도를 조정하여 막두께를 제어하기 때문에 퇴적형의 CVD법과 달리 막두께에 대해 스루풋이 거의 변하지 않는다는 이점이 있다.

또한, 도포형 절연막을 형성하면 하층의 질화 실리콘 막의 핀 홀(pin-hole), 크랙(crack), 하층 단차를 넘어가는 부분의 부착 불량부를 매립하여 피복 효과에 의해 보수할 수 있어, 최상층의 공통 신호 전극 가공시에도 보다 하층에 존재하는 각종 전극이나 배선의 부식, 용해, 단선을 크게 저감할 수 있고, 수율을 대폭적으로 향상할 수 있음을 알 수 있다.

상기 질화 실리콘의 불량 부분을 피복하는 효과에 의해 배선 중첩 부분의 층간 절연 불량으로 인한 단락 불량도 저감할 수 있다.

이러한 점에서, 기생 용량을 저감하는 즉 배선의 신호 지연을 저감하는 방법으로는 유전율이 작고 박막으로 기생 용량 저감 효과가 얻어지고, 또한 막두께 증대화에 대해 스루풋이 변화하지 않는 도포형 절연막을 용량 저감용 절연막으로서 사용하는 것이 보다 바람직함을 알 수 있다.

상기 기생 용량 저감 효과는 영상 신호 배선과 공통 신호 전극을 중첩한 영역에 배치된 절연막, 즉 액정 표시 장치를 구성하였을 때에, 액정층과 직렬로 접속되는 기생 용량을 형성하는 영역의 절연막의 구조(본 검증에서는 용량 저감용 절연막의 종류(유전율), 막두께)에 의존하고 있다.

한편으로, 화소 전극위의 절연막, 즉 액정 표시 장치를 구성하였을 때에, 액정층과 직렬로 접속되는 용량을 형성하는 영역의 절연막의 구조(본 검증에서는 용량 저감용 절연막의 종류, 막두께)에는 거의 의존하지 않는다.

그리고, 영상 신호 배선위에 이 영상 신호 배선을 덮듯이 중첩시켜 배치한 공통 신호 전극의 효과에 의해 상기 영상 신호 배선의 전계가 효과적으로 차폐되므로 인접하는 화소 전극과의 배선의 크로스토크를 방지할 수 있고, 액정의 광누설에 의한 화질 저하를 방지할 수 있다.

이어서, 도2의 (a), (b) 및 (c)를 이용하여 종래 구조인 표준 구조에 대해, 절연막의 구조를 변경하였을 때의 액정의 구동 전압 저감 효과에 대해 설명한다.

도2의 (a)는 구동 전압 저감 효과를 검증하기 위해 사용한 구조를 나타내는 도면이다. 도2의 (a)에 있어서, 화소 전극과 공통 신호 전극 사이에 전압을 인가하면 액상층은 그 인가 전압에 대응하여 상이한 광학 특성을 나타내고, 투과율이 변한다.

도2의 (b)는 실제로 화소 전극과 공통 신호 전극 사이에 전압을 인가하였을 때의 투과율 변화의 일례를 나타내는 도면이다.

본 실시 형태에서는 액정의 표시 모드로서 노멀리 블랙 모드를 사용하기 때문에, 인가 전압이 0V일 때에는 투과율이 거의 0이 되고, 인가 전압을 높이면 투과율이 서서히 상승하고, 일정한 전압값, 예를 들면 구조(A)의 경우에는 VA, 구조(B)의 경우에는 VB에서 투과율의 피크(TMAX)에 달한다.

액정 표시 장치에서는 0V로부터 투과율 피크(TMAX)를 부여하는 전압 사이에서 액정을 구동하는 점에서, 상기 투과율 피크(TMAX)를 부여하는 전압을 작게 하면 액정의 구동 전압의 저감이 가능해진다.

여기에서, 구조(A)와 구조(B)에서는 화소 전극위에 배치된 절연막의 구조가 상이하다. 구조(A)는 $\epsilon = 6.7$ 의 질화 실리콘 막을 350nm 배치한 표준 구조이고, 구조(B)는 추가로 $\epsilon = 3.0$ 의 도포형 유기 절연막을 0.6μm 적층 배치한 구조이다.

두 구조의 인가 전압 - 투과율 특성을 비교하면, 투과율의 피크값은 거의 동일한 값을 나타내는 데 대해, 투과율의 값이 피크가 되는 인가 전압값이 구조(A)에 대해 구조(B)에서는 1.2배 정도 커짐을 알 수 있다.

상기 현상은 화소 전극위에 배치되는 절연막, 즉 액정층과 직렬로 접속되는 용량을 형성하는 절연막의 구조의 차이에 기인한다.

유기 절연막을 적층배치한 구조(B)쪽이 용량이 작아지므로, 큰 전압 강하를 일으켜 이 전압 강하분 만큼 액정에 전압을 효율적으로 인가할 수 없게 되기 때문이다.

상기 액정의 구동 전압값(투과율의 값이 피크가 되는 전압값)은 도1의 (a) 및 (b)에서 설명한 배선 중첩 부분의 층간 절연막의 구조, 즉 신호 배선의 기생 용량을 형성하는 영역의 절연막의 구조(본 검증에서는 절연막의 종류(유전율), 막 두께에 상당함)에는 거의 의존하지 않는다.

도2c는 표준 구조에 있어서, 화소 전극위에도 용량 저감용 도포형 유기 절연막이 배치되었을 때의 유기 절연막의 막두께(x)에 대한 규격화 전압값의 변화를 나타내는 도면이다. 여기서, 규격화 전압이란 표준 구조에 있어서 투과율이 피크가 되는 전압값에 대한 막두께(x)가 상이한 각 구조의 투과율이 피크가 되는 전압값의 비율로서 정의한다.

유기 절연막의 막이 두꺼워짐에 따라, 액정층과 직렬로 접속되는 용량이 작아지면 전압 강하가 커지고, 규격화된 액정의 구동 전압값이 선형적으로 상승함을 알 수 있다.

즉, 액정의 구동 전압에 관해서는 화소 전극위에 배치되는 절연막은 최대한 박막으로 구성하는 것이 바람직하다. 구동 전압 저감책으로서 보다 바람직하게는 화소 전극위에 절연막이 존재하지 않는 구조를 취하는 것이다.

또한, 도2의 (a), (b) 및 (c)에서는 화소 전극위에 배치된 절연막의 구조로서 유전율이 3.0인 유기 절연막을 예로 들어 설명하였지만, 예를 들면 유전율이 3.0보다 작은 절연막으로 구성한 경우에는 도2c에 나타낸 직선의 기울기가 더욱 커지고, 결과적으로 구동 전압의 추가적인 상승을 일으키는 것이 추측된다.

반대로, 유전율이 3.0보다 큰 절연막으로 구성한 경우에는 직선의 기울기가 완만해져서 구동 전압을 저감할 수 있음을 용이하게 추측된다.

본 발명자들이 검증한 이상 2가지 결과를 통해, 신호 배선과 공통 신호 전극의 중첩 부분에만 용량 저감을 목적으로 한 층간 절연막을 새로이 배치하고, 화소 전극위에는 가급적 절연막을 배치하지 않는 본 발명의 구조를 채용하면 종래 구조에 대해 배선의 기생 용량 저감과 액정의 구동 전압 저감을 모두 실현할 수 있음을 알 수 있다.

이상의 결과를 바탕으로 본 발명의 구체적인 실시 형태를 설명한다.

그리고, 이하의 설명에 사용하는 각 도면에 있어서, SUB1은 박막 트랜지스터가 배치되는 측의 투명 절연 기판을 나타내고, TFT는 화소의 스위칭 소자인 박막 트랜지스터를 나타내고, Cstg는 액정의 전압 유지 특성을 보증하기 위한 축적 용량을 나타내고, CL은 공통 신호 배선을 나타내고, CE는 공통 신호 전극을 나타내고, GE는 주사 신호 전극을 나타내고, GL은 주사 신호 배선을 나타내고, SI는 반도체층을 나타내고, NSI는 박막 트랜지스터의 소스 전극, 드레인 전극 및 반도체층의 컨택트를 보증하기 위해 인 등의 불순물을 도평한 실리콘 막으로 이루어지는 전극을 나타내고, SD는 박막 트랜지스터의 소스 전극과 드레인 전극이 되는 영상 신호 전극을 나타내고, DL은 영상 신호 배선을 나타내고, PX는 화소 전극을 나타내고, GI는 상기 TFT의 게이트 절연막을 나타내고, PAS는 박막 트랜지스터의 표면 보호막을 나타내고, TH는 절연막에 개구한 스루 홀을 나타내고, OIL1은 용량 저감을 목적으로 하여 선택적으로 형성하는 도포형 절연막을 나타내고, BM은 차광 패턴을 나타내고, CF는 컬러 필터를 나타내고, OC는 오버 코트(over-coated) 막을 나타내고, SUB2는 컬러 필터측의 투명 절연 기판을 나타낸다.

또한, ORI1 및 ORI2는 배향막을 나타내고, POL1 및 POL2는 편광판을 나타내고, GTM은 주사 신호 배선용 단자를 나타내고, DTM은 영상 신호 배선용 단자를 나타내고, CTM은 공통 신호 배선용 단자를 나타내고, CB는 공통 신호 배선의 버스 배선을 나타내고, SL은 밀봉재를 나타내고, TC1은 주사 신호 배선 및 공통 신호 배선용 단자의 패드 전극을 나타내고, TC2는 영상 신호 배선용 단자(DTM)의 패드 전극을 나타낸다.

[제1 실시 형태]

이어서, 도1~도16을 참조하여 본 발명에 의한 액정 표시 장치의 제1 실시 형태을 설명한다.

제1 실시 형태의 액정 표시 장치는 영상 신호 배선(DL)과 공통 신호 전극(CE)을 선택적으로 형성한 층간 절연막(OIL 1)을 통해 중첩한 구조이다.

도3은 본 발명에 의한 액정 표시 장치의 제1 실시 형태를 나타내는 액티브 매트릭스형 액정 표시 장치의 TFT 기판측의 단위 화소의 평면도이다.

도4는 도3 중의 A-A'로 나타낸 선을 따른 TFT 기판(SUB1)의 단면을 나타내는 도면이고, 도5는 도3 중의 B-B'로 나타낸 선을 따른 TFT 기판(SUB1)의 단면을 나타내는 도면이다.

도3에 도시하는 바와 같이, 본 제1 실시 형태에서는 주사 신호 배선(GL) 및 영상 신호 배선(DL)에 의해 나뉜 영역에, 박막 트랜지스터(TFT), 축적 용량(Cstg), 화소 전극(PX), 공통 신호 전극(CE)이 각각 하나씩 형성되어 화소를 구성하고 있다.

화소 전극(PX) 및 공통 신호 전극(CE)의 적어도 일부가 화소내에서 빗살 형상으로 복수로 분할 또는 슬릿 형상으로 가공되어 있다.

화소 전극(PX) 및 공통 신호 전극(CE)의 빗살 전극 부분은 x방향으로 연장되어 있고, 영상 신호 배선(DL)의 연장 방향과 일치하고 있다.

본 제1 실시 형태에서는 박막 트랜지스터(TFT)로서, 역(逆) 스태거형의 박막 트랜지스터를 사용하고 있다. 게이트 전극(GE)에 박막 트랜지스터(TFT)의 임계치 이상의 전압이 가해지면 반도체층(SI)이 도통 상태가 되고, 박막 트랜지스터(TFT)의 소스 전극, 드레인 전극이 되는 영상 신호 전극(SD) 간이 도통이 된다. 그 때에, 영상 신호 배선(DL)에 인가되고 있는 전압이 화소 전극(PX)에 전달된다.

게이트 전극(GE)의 전압이 박막 트랜지스터의 임계치 전압 이하인 경우에는 박막 트랜지스터(TFT)의 소스 전극 드레인 전극이 되는 영상 신호 전극(SD) 간이 절연되므로, 영상 신호 배선(DL)에 인가되고 있는 전압이 화소 전극(PX)에 전달되지 않고 영상 신호 전극(SD)이 도통 상태일 때에 전달된 전압을 유지한다.

액정의 전압 유지 특성을 보증하기 위해, 화소 전극(PX)과 공통 신호 배선(CL) 사이에 게이트 절연막(GI)을 통해 액정과 별별로 접속되는 축적 용량(Cstg)을 형성하고 있다.

본 제1 실시 형태에서, x방향으로 병설되어 있는 공통 신호 전극(CE)은 화소 영역의 주위 부분에 있어서, 선택적으로 형성한 도포형 절연막(OIL1)을 통해 영상 신호 배선(DL) 위를 덮어 중첩하도록 형성되고, 주사 신호 배선(GL)과 동일한 공정, 동일한 재료로 형성된 공통 신호 배선(CL)에, TFT의 표면 보호막(PAS), 게이트 절연막(GI)을 일괄적으로 예칭으로 개구한 스루 흘(TH)을 통해 전기적으로 접속되어 있다.

도포형 절연막(OIL1)의 패턴 형상은 영상 신호 배선(DL)의 패턴 형상을 따라 상기 영상 신호 배선(DL) 위를 덮도록 선택적으로 형성되어 있다.

또한, 본 제1 실시 형태에서, 화소 전극(PX)은 박막 트랜지스터(TFT)의 소스 전극 드레인 전극이 되는 영상 신호 전극(SD)의 한쪽을 그대로 연장하여 형성되고, 영상 신호 전극(SD)의 다른쪽을 그대로 연장하여 영상 신호 배선(DL)이 형성되어 있다.

본 제1 실시 형태에 의하면, 영상 신호 배선(DL) 위에 공통 신호 전극(CE)이 중첩하고 있는 영역에, 공통 신호 전극(CE)의 패턴 형상을 따라, 도포형 절연막(OIL1)을 선택적으로 형성하면 액정의 구동 전압의 상승을 초래하지 않고 영상 신호 배선(DL)과 공통 신호 전극(CE) 사이에 발생하는 기생 용량을 저감할 수 있게 된다.

예를 들면, 도포형 절연막(OIL1)으로서 유전율 3.0의 재료를 사용하고, 막두께를 0.6 μ m로 한 경우에는 영상 신호 배선(DL)과 공통 신호 전극(CE) 사이의 기생 용량은 도포형 절연막(OIL1)을 형성하지 않은 경우의 약 1/3로 저감된다.

그 결과, 배선을 중첩한 경우에도 신호 지연으로 인한 신호 파형의 변형을 방지할 수 있어, 화질 저하를 일으키지 않고 고화질의 액정 패널을 제공할 수 있게 된다.

또한, 전술한 바와 같이 화소 전극(PX) 위에 배치되는 절연막에 대해서는 전압 강하를 일으키는 요인이 될 수 있는데, 본 제1 실시 형태에서는 도포형 절연막(OIL1)을 선택적으로 형성하고 있으므로, 화소 전극(PX) 위에는 도포형 절연막(OIL1)이 존재하지 않는 구조로 하고 있다. 따라서, 전압 강하를 일으키는 요인이 되는 절연막을 증가시키지 않는다.

그 결과, 구동 전압의 상승을 방지할 수 있다.

영상 신호 배선(DL) 위에 상기 영상 신호 배선(DL)을 덮도록 중첩시킨 공통 신호 전극(CE)에 의해 상기 영상 신호 배선(DL)의 전계가 효과적으로 차폐되어 인접하는 화소 전극(PX) 측으로 누설되는 것을 억제할 수 있다.

본 제1 실시 형태에 의하면, 도포형 절연막(OIL1)의 피복 효과에 의해 질화 실리콘 막에 있는 크랙이나 편 훌 등의 결함, 영상 신호 배선(DL) 위의 부착 부분의 피복 불량 등을 피복할 수 있고, 영상 신호 배선(DL)과 공통 신호 전극(CE) 사이의 절연 불량에 기인하는 쇼트 불량을 방지할 수 있다.

또한, 최상층에서 공통 신호 전극(CE)을 가공할 때의 에칭액이 상기 불량 부분을 통해 영상 신호 배선(DL) 표면에 도달하는 것을 방지할 수 있어 전극이나 배선의 용해를 방지할 수 있다.

화소 전극(PX) 위에 도포형 절연막(OIL1)을 형성하면 구동 전압의 상승을 일으킨다는 것은 도2의 (a), (b) 및 (c)에서 이미 설명하였다.

한편, 구동 전압에 의존하지 않는 영역, 즉 주사 신호 배선(GL), 영상 신호 배선(DL) 및 박막 트랜지스터(TFT)가 존재하는 영역 등, 화소 전극(PX)이 존재하지 않는 영역에 대해서는 도포형 절연막(OIL1)을 형성해도 된다.

그 경우에는 영상 신호 배선(DL), 공통 신호 전극(CE) 사이의 기생 용량 저감 효과 이외에 도포형 절연막(OIL1)의 피복 효과에 의해 영상 신호 배선(DL) 뿐만 아니라 하층에 존재하는 전극, 배선의 보호막으로서의 기능을 갖게 된다.

이에 따라, 구체적으로는 도포형 절연막(OIL1) 위에서 공통 신호 전극(CE)을 가공할 때에, TFT의 표면 보호막(PAS) 및 게이트 절연막(GI)의 결함 부분으로 에칭액이 스며듦에 따라 발생하는 영상 신호 전극(SD), 또는 주사 신호 배선(GL), 주사 신호 전극(GE), 공통 신호 배선(CL)의 용해 단선을 방지할 수 있다.

또한, 이들의 결함 부분을 통해 하층 배선 재료의 일부가 액정 내부로 유출하고, 액정의 전기 - 광학 특성에 영향을 미침에 따라 발생하는 액정 표시 장치의 화질 저하를 방지할 수 있다.

단, 상술한 바와 같이 구동 전압 상승을 초래하는 화소 전극(PX) 및 주사 신호나 영상 신호의 단자 노출 부분 및 공통 신호 전극(CE)과 공통 신호 배선(CL)을 접속하는 스루 홀(TH) 부분에 대해서는 도포형 절연막(OIL1)을 형성해서는 안된다.

전술한 바와 같이, 본 제1 실시 형태에서는 도포형 절연막(OIL1)의 패턴 형상은 영상 신호 배선(DL)의 패턴 형상을 따라 선택적으로 형성되어 있다.

도4에 도시한 바와 같이, 영상 신호 배선(DL)의 패턴 폭을 $WDL\mu m$, 중첩 부분에 상기 영상 신호 배선(DL)의 패턴 형상을 따라 선택적으로 형성한 도포형 절연막(OIL1)의 패턴 폭을 $WISO1\mu m$, 공통 신호 전극(CE)의 패턴 폭을 $WCOM1\mu m$ 로 정의한다.

이들 패턴 폭에 대해서는 상기 영상 신호 배선의 전계 차폐 효과, 배선의 기생 용량 저감 효과 및 포토리소그래피 공정에서의 패턴의 정밀도와 가공 치수 정밀도를 고려하여 설정할 필요가 있다.

영상 신호 배선의 전계 차폐 효과에 대해서는 $WDL < WCOM1$ 이고, 배선의 기생 용량 저감 효과에 대해서는 $WDL < WISO1$ 이 성립할 때에 큰 효과를 얻을 수 있다. WDL 에 대해 $WISO1$ 를 작게 한, 즉 영상 신호 배선(DL)이 도포형 절연막(OIL1)의 패턴으로부터 돌출된 구조로 한 경우에도 도포형 절연막(OIL1)과의 중첩분에 대해서는 기생 용량 저감 효과를 얻을 수 있다.

그러나, 영상 신호 배선(DL)이 도포형 절연막(OIL1)으로부터 돌출된 부분만큼, 기생 용량이 발생하게 되므로 바람직하지 않다.

또한, 도4에 도시한 제1 실시 형태와 같이, $WISO1 < WCOM1$ 로 하여, 선택 형성한 도포형 절연막(OIL1) 패턴의 측면을 덮도록 공통 신호 전극(CE) 패턴을 중첩 형성하면, 도포형 절연막을 전체면에 형성하는 종래 구조에 비해 도포형 절연막 중에서의 전계 확산을 억제할 수 있다.

전계 차폐 효과가 더욱 향상되므로, 그 만큼 공통 신호 전극(CE)의 패턴폭(WCOM1)을 작게 할 수 있고, 그 만큼 화소 개구율을 향상시킬 수 있다.

따라서, 가장 큰 효과가 얻어지는 것은 도4에 도시한 제1 실시 형태과 같이,

$WDL < WISO1 < WCOM1$

$WDL > 0$

이 성립하는 경우이다.

또한, 본 제1 실시 형태에서는 도포형 절연막(OIL1)을 선택 형성함에 따라 새로 도포형 절연막(OIL1) 패턴 단차가 생기게 된다. 이 같은 단차 부분은 상층 배향막의 도포 불량이나 액정 배향을 위한 러빙(rubbing) 시에 음영으로 됨에 따른 액정의 초기 배향 불량, 액정의 스위칭 이상(도메인) 등의 화질 불량을 유발하기 쉽다는 것이 일반적으로 알려져 있다.

그러나, 도4에 도시한 제1 실시 형태에서는 도7에서 후술하는 자기 차광 영역(공통 신호 전극(CE)의 패턴폭(WCOM1)) 내에, 도포형 절연막(OIL1)의 단차 패턴 부분이 수용되는 구조($WISO1 < WCOM1$)이므로, 화소의 개구 부분에는 도포형 절연막(OIL1)의 단차가 존재하지 않는다.

이에 따라, 도포형 절연막(OIL1)을 선택 형성한 경우에도 단차 부분으로 인한 화질 불량을 방지할 수 있다.

본 제1 실시 형태에서는 예를 들면 영상 신호 배선(DL)의 폭 WDL 을 $6\mu m$, $WISO1$ 을 $12\mu m$, $WCOM1$ 을 $18\mu m$ 로 하였다.

또, 본 제1 실시 형태에서는 단위 화소에 관한 빗살 형상 전극의 분할수는 도면상에서는 화소 전극(PX)이 2라인, 공통 신호 전극이 중첩 부분도 포함하여 3라인이지만, 이 범위에 상관없이 분할수를 변경할 수 있다.

도6은 도4에 도시한 제1 실시 형태에 있어서, 공통 신호 전극(CE)의 패턴 형상을 변경한 구조의 제1 실시 형태에 있어서의 A-A'로 나타낸 선을 따른 단면도이다.

도4의 구조에 비해, 영상 신호 배선(DL)의 차폐 효과가 약간 열등한 점 및 액정의 배향에 있어서, 선택적으로 형성한 도포형 절연막(OIL1)에 의해 생긴 단차 부분의 영향을 받기 쉬운 패턴 배치가 되지만, 공통 신호 전극(CE)이 도포형 절연막(OIL1) 패턴의 단차를 넘어서 덮도록 부착할 필요가 없으므로, 공통 신호 전극(CE)의 단선에 대해 용장을 갖게 할 수 있다.

본 발명의 제1 실시 형태의 경우에 도4에서 전술한 패턴폭의 상호 관계는,

$WDL < WCOM1 < WISO1$

WDL > 0

이 된다.

도7은 도3 중의 A-A'로 나타낸 선에 따른 TFT 기판(SUB1), 컬러 필터 기판(SUB2)을 포함하는 단면도이다.

박막 트랜지스터(TFT)가 배치되는 측의 투명 절연 기판(SUB1)은 TFT 기판이라고 하고, 이 TFT 기판과, 액정(LC)을 통해 대향 배치되는 대향측의 투명 절연 기판(SUB2)은 CF 기판이라고 한다.

도7에 도시하는 바와 같이, CF 기판은 그 액정층(LC) 측의 면에 우선, 각 화소 영역을 구획하도록 하여 차광 패턴(BM)이 형성되고, 이 차광 패턴(BM)의 실질적인 화소 영역을 결정하는 개구부에는 컬러 필터(CF)가 형성되어 있다. 그리고, 차광 패턴(BM) 및 컬러 필터(CF)를 덮어, 예를 들면 수지막으로 이루어지는 오버 코트막(OC)이 형성되고, 이 오버 코트막(OC)의 상면에는 배향막(ORI1)이 형성되어 있다.

TFT 기판, CF 기판, 각각의 외측면(액정층(LC) 측의 면과는 반대면)에는 편향판(POL1, POL2)이 형성되어 있다.

본 제1 실시 형태에서는 화소 전극(PX)과 공통 신호 전극(CE) 사이에 투명 기판(SUB1)과 거의 평행한 성분을 갖는 전계가 발생하지 않는 경우에는 흑표시가 표시되는 노멀리 블랙 모드의 구조를 채용하고 있다.

노멀리 블랙 모드는 액정의 특성(이 제1 실시 형태에서는 예를 들면 정, 화소 전극(PX)과 공통 신호 전극(CE) 사이의 전계 방향, 배향막(ORI1)의 러빙 방향, 편향판(POL)의 편향 투과 축방향)에 따라 설정할 수 있다.

노멀리 블랙 모드를 채용하면, 투명 절연 기판(SUB1)과 거의 수직 방향으로 전계가 발생하고, 거의 평행한 성분을 갖는 전계가 거의 발생하지 않는 공통 신호 전극(CE)의 바로 위(도7 중에 도시한 C 영역)에 있어서는, 공통 신호 전극(CE)으로서, 예를 들면 산화 인듐 주석(ITO) 또는 산화 인듐 아연(IZO) 또는 산화 인듐 게르마늄(IGO) 등의 산화 인듐계의 투명 도전막을 사용한 경우에도 흑표시가 표시되게 되고, 공통 신호 전극(CE) 자신이 영상 신호 배선(CL) 근방에서 액정을 구동시키는 전계로 인한 광누설을 차광하는 차광막으로서 자기 차광적으로 기능할 수 있게 된다.

이에 따라, 영상 신호 배선(DL) 위에 대해서는 블랙 매트릭스(BM)가 불필요해지므로 그 만큼 개구율을 크게 할 수 있다.

또한, 투명 절연 기판(SUB1)에 대한 투명 절연 기판(SUB2)의 위치 정렬에 있어서, 영상 신호 배선(CL)의 병렬 방향(x방향)에 대한 정렬이 필요없어지므로, 정렬 어긋남에 대해서 여유도를 크게 할 수 있는 이점이 생긴다.

본 제1 실시 형태에서 블랙 매트릭스(BM)는 주사 신호 배선(GL) 위 및 박막 트랜지스터(TFT) 위에만 형성되어 있다.

도7에는 도시하지 않았으나, 본 제1 실시 형태에서는 블랙 매트릭스(BM)는 주사 신호 배선(GL) 위 및 박막 트랜지스터(TFT) 위에만 형성되어 있다.

제1 실시 형태에서는 노멀리 블랙 모드 구조의 액정 표시 장치에 대해 설명하였다. 그러나, 본 제1 실시 형태는 노멀리 화이트 모드(normally white mode)의 구조에 대해서도 적용할 수 있다. 이 경우, 공통 신호 전극(CE)은 예를 들면 AI 등의 금속 또는 그 합금막과 같이 불투명한 도전층으로 하면 상기 자기 차광막으로서의 기능을 부여할 수 있다.

도8은 제1 실시 형태에서 멀티 도메인 방식을 적용한 구조의 제1 실시 형태에 있어서의 단위 화소의 평면도이고, 구체적으로는 도3에 나타낸 제1 실시 형태에 있어서 화소 전극(PX) 및 공통 신호 전극(CE)에 굴곡부를 형성한 것이다.

여기에서, 멀티 도메인 방식이란 액정의 확산 방향으로 발생하는 전계(횡전계)에 있어서, 각 화소 영역내에 횡전계 방향이 다른 영역을 형성하도록 하여 각 영역의 액정 분자의 비틀린 방향을 반대로 하면(도8 중의 LC1, LC2), 예를 들면 표시 영역을 좌우로부터 각각 보았을 때에 생기는 착색차(着色差)를 상쇄시키는 효과를 부여한 것이다.

구체적으로는 도8에서, 한 방향으로 연장하고, 이와 교차하는 방향으로 나란히 형성시킨 띠형상의 각 화소 전극(PX) 및 공통 신호 전극(CE)을, 상기 한 방향에 대해 각도(P형 액정에서, 배향막(ORI1)의 러빙 방향을 영상 신호 배선(DL) 방향과 일치시킨 경우, $5\sim40^\circ$ 의 범위가 적당)로 경사지게 연장된 후에, 각도(-2θ)로 굴곡시켜 연장시키는 것을 반복하여 지그재그 형상으로 패턴 형성하는 것으로, 전술한 멀티 도메인 방식의 효과를 가져올 수 있다.

그리고, 본 제1 실시 형태에서 화소 전극(PX) 및 공통 신호 전극(CE)은 도8 중의 y방향으로 연장시켜 형성하고 있지만, 도8 중의 x방향으로 연장시키도록 하여, 이것에 대해 굴곡부를 형성하여 멀티 도메인 효과를 얻도록 해도 된다.

본 제1 실시 형태에 의하면, 화소 전극(PX) 및 공통 신호 전극(CE)의 패턴 형상을 변경하면 제1 실시 형태에서 나타낸 기생 용량 저감 효과와 동시에 멀티 도메인 효과도 얻을 수 있다.

도9는 도3에 도시한 제1 실시 형태에서, 공통 신호 배선(CL)의 배치를 변경한 구조의 제1 실시 형태에 있어서의 단위 화소의 평면도이다.

전술한 도3의 제1 실시 형태에서는, 공통 신호 배선(CL)은 화소 영역의 거의 중앙을 통과하도록 형성되어 있지만, 본 제1 실시 형태과 같이 주사 신호 배선(GL)측에 근접하게 배치해도 된다.

도10은 도3에 도시한 제1 실시 형태에서, 화소 전극(PX)을 투명 도전막으로 형성한 구조의 제1 실시 형태에 있어서의 단위 화소의 평면도이다.

도3의 제1 실시 형태에서는 화소 전극(PX)은 영상 신호 전극(SD)의 한쪽을 그대로 연장하여 형성되고, 필연적으로 영상 신호 전극(SD), 영상 신호 배선(DL)을 구성하는 메탈 배선 재료로 형성되어 있다.

본 제1 실시 형태와 같이, 화소 전극(PX)이 투명해지면 그 부분의 투과광에 의해 백(白) 표시할 때의 최대 투과율이 향상되므로, 화소 전극(PX)이 메탈 등의 불투명 재료로 이루어지는 경우보다 더 밝게 표시할 수 있다.

이 때, 도7에서 전술한 바와 같이, 전압 무인가 시에 액정 분자는 초기의 배향 상태를 유지하고, 그 상태에서 혹표시하도록 편광판의 배치를 구성(노멀 블랙 모드로 함)하고 있으므로, 화소 전극(PX)을 투명하게 해도 그 부분의 빛을 투과하지 않고 양질의 혹표시가 얻어진다.

이에 따라, 충분한 콘트라스트 비율을 확보하면서 최대 투과율을 향상시킬 수 있다. 이 경우, 화소 전극(PX) 형성을 위한 투명 도전층 형성 및 패터닝 공정이 새로이 필요하게 된다.

이어서, 본 제1 실시 형태에 있어서의 기판 단부의 형상, 전기 회로 및 단자부의 형상에 대해 설명한다.

도11은 본 발명의 제1 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 전기 회로를 나타내는 개략도이다.

도12의 (a) 및 도12의 (b)는 본 발명의 제1 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 기판 단부의 단면 모식도로서, 도12의 (a)는 주사 신호 배선 단자(GTM)가 배치되는 측의 단부의 모식도이고, 도12의 (b)는 액정 봉입 구가 배치되는 측의 단부의 모식도이다.

도11의 전기 회로에 나타내는 바와 같이, x방향으로 연장되고, y방향으로 병설되는 상기 각 주사 신호 배선(GL)에는 주사 신호 배선용 단자(GTM)를 통해 수직 주사 회로에 의해 순차적으로 주사 신호(전압 신호)가 공급되도록 되어 있다.

주사 신호 배선(GL)을 따라 배치되는 각 화소 영역의 박막 트랜지스터(TFT)는 상기 주사 신호에 의해 구동된다.

이 주사 신호의 타이밍에 맞춰 영상 신호 구동 회로에서 영상 신호 배선용 단자(DTM)를 거쳐 y방향으로 연장되고, x방향으로 병설되는 각 영상 신호 배선(DL)에 영상 신호가 공급된다.

상기 영상 신호는 각 화소 영역의 상기 박막 트랜지스터(TFT)를 통해 화소 전극(PX)에 인가된다.

각 화소 영역에 있어서, 화소 전극(PX)과 함께 형성되어 있는 공통 신호 전극(CE)에는 공통 신호 배선용 단자(CTM)를 통해 공통 신호 배선의 버스 배선(CB)으로부터 분기한 대향 전압이 인가되어 이들 화소 전극(PX)과 공통 신호 전극(CE) 사이에 전계를 발생시킨다.

상기 전계 중, 투명 절연 기판(SUB1)에 대해 지배적으로 평행한 성분을 갖는 전계(횡전계)에 의해 액정의 광투과율을 제어하는 구조이다.

도11 또는 도12의 (a) 및 (b)에 있어서, 각 화소 영역에 나타낸 R, G, B 각 부호는 각 화소 영역에 각각 적색용 필터, 녹색용 필터, 청색용 필터가 형성되어 있음을 나타내고 있다.

TFT 기판(SUB1)의 CF 기판(SUB2)에 대한 고정은 도12의 (a) 및 (b)에 도시한 바와 같이; CF 기판(SUB2)의 주변에 형성된 밀봉재(SL)에 의해 이루어지고, 이 밀봉재(SL)는 투명 절연 기판(SUB1, SUB2) 사이에 액정을 봉입하기 위한 봉입재로서의 기능도 가지고 있다.

상기 밀봉재(SL)의 외측, TFT 기판(SUB1)의 주변에서, 필터 기판에 의해 덮이지 않은 영역에는 각각 주사 신호 배선 용 단자(GTM), 영상 신호 배선 용 단자(DTM), 공통 신호 배선 용 단자(CTM)가 형성되어 있다.

도12의 (a) 및 (b)에서는 이 중에서 주사 신호 배선(GL)용 단자(GTM)를 예시하고 있다. 각 단자는 도전 입자를 접촉 제 중에 분산시킨 이방성 도전막을 통해 TCP(TAPE CARRIER PACKAGE) 또는 COG(CHIP ON GLASS) 접속 방식에 의해 도11에서 전술한 외부 구동 회로와 접속된다.

또, 상기 밀봉재(SL)의 일부(도12의 (a) 및 (b)의 하측)에는 도시하지 않은 액정 봉입구가 있고, 여기서부터 액정을 봉입한 후에는 액정 봉입재에 의해 밀봉이 행해진다.

도13의 (a)는 본 발명의 제1 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 주사 신호 배선(GL)용 단자(GTM) 부분의 주요부 평면도이고, 도13의 (b)는 A-A'로 나타낸 선을 따른 도13의 (a)의 단면도이다.

도14의 (a)는 영상 신호 배선 용 단자(DTM) 부분의 주요부 평면도이고, 도14의 (b)는 A-A'로 나타낸 선을 따른 도14의 (a)의 단면도이다.

도13의 (a) 및 (b)에 도시하는 바와 같이, 주사 신호 배선 용 단자(GTM)로서 우선, 투명 절연 기판(SUB1) 위의 주사 신호 배선 용 단자 형성 영역에, 주사 신호 배선(GL)의 연장부가 형성된다.

이어서, 주사 신호 배선(GL)을 덮어, 게이트 절연막(GI) 및 박막 트랜지스터(TFT)의 표면 보호막(PAS)이 순차적으로 적층되고, 이들 게이트 절연막(GI) 및 표면 보호막(PAS)에 형성된 스루 홀(TH)에 의해 주사 신호 배선(GL)을 연장한 단부의 일부가 노출되고, 여기에 단자 접속용 패드 전극(TC1)이 주사 신호 배선(CL)을 연장한 단부를 덮도록 하여 형성되어 있다.

단자 접속용 패드 전극(TC1)은 공통 신호 전극(CE)을 형성하였을 때와 동일한 투명 도전막 재료에 의해 동일한 공정으로 형성된다.

이상과 같이 주사 신호 배선 용 단자(GTM)가 형성된다.

통상, 액정 표시 장치의 단자 노출 부분은 금속 재료가 아닌, 내습성, 내약품성, 부식성이 뛰어난 투명 도전막 재료로 구성되는데, 본 제1 실시 형태에서도 주사 신호 배선 용 단자(GTM)는 내에칭성이 뛰어난 투명 도전막으로 구성되므로 노출 단자 부분의 신뢰성을 충분히 확보할 수 있다.

또한, 본 제1 실시 형태에서는 주사 신호 배선(GL)과 공통 신호 배선(CL)은 동일한 재료, 동일한 공정으로 형성되므로, 공통 신호 배선용 단자(CTM)에 대해서도 주사 신호 배선(GL)용 단자(GTM)와 동일한 재료, 동일한 공정으로 형성되어, 필연적으로 동일한 구조가 된다.

이 경우, 도11에 전술한 바와 같이, 공통 신호 배선용 단자(CTM)는 주사 신호 배선용 단자(GTM)와는 반대 방향으로 인출된다.

영상 신호 배선용 단자(DTM) 부분은 도14의 (a) 및 (b)와 같이, 우선 투명 절연 기판(SUB1) 위에 게이트 절연막(GI)이 형성된 다음, 영상 신호 배선용 단자(DTM)가 형성되는 영역에 영상 신호 배선(DL)의 연장부가 형성된다.

그 후, 박막 트랜지스터(TFT)의 표면 보호막(PAS)이 형성되고, 영상 신호 배선용 단자(DTM)가 형성된 영역 중, 후술하는 단자 접속용 패드 전극(TC2)이 형성되는 영역의 일부에 스루 홀(TH)이 개구된다.

이어서, 단자 접속용 패드 전극(TC2)이 공통 신호 전극(CE)을 형성하였을 때와 동일한 투명 도전막 재료를 사용하여 동일한 공정으로 형성된다.

상기 패드 전극(TC2)은 스루 홀(TH)에 의한 영상 신호 배선(DL) 단부의 노출 부분을 덮도록 하여 형성되고, 스루 홀(TH)을 통해 영상 신호 배선(DL)과 전기적으로 접속된다.

본 구조를 채용하면, 영상 신호 배선용 단자(DTM)도 주사 신호 배선용 단자(GTM)와 마찬가지로 내습성, 내약품성, 부식성이 뛰어난 투명 도전막 재료로 구성되기 때문에 노출 단자 부분의 신뢰성을 충분히 확보할 수 있다.

다음에, 제1 실시 형태의 형성 방법의 구체예를 도 15 및 도 16의 (a) ~ (f')를 이용하여 설명한다.

도 15는 본 발명의 제1 실시 형태의 구조를 실현하기 위한 프로세스 흐름을 나타내는 흐름도이다. 도 16의 (a) ~ (f)는 도 15의 프로세스 흐름에 따라 TFT 기판을 제작하였을 때의 상기 도 3에 있어서의 A-A'선을 따른 단면도이고, 도 16의 (a') ~ (f')는 B-B'로 나타낸 선을 따른 단면도이다. 제1 실시 형태에서는, 구체적으로는 (A) ~ (F)의 6단계의 포토리소그래피 공정을 거쳐 TFT 기판(SUB1)이 완성된다.

이하, 공정순으로 설명한다.

공정(A)

투명 절연 기판(SUB1)을 준비하고, 그 표면 전역에 예를 들면 스퍼터링법에 의해 Cr막을 100~500nm, 바람직하게는 150~350nm 형성한다.

이어서, 포토리소그래피 기술을 이용하여 상기 Cr막을 선택 에칭하고, 화소 영역내에는 주사 신호 전극(GE), 주사 신호 배선(GL) 및 공통 신호 배선(CL)을 형성한다.

또한, 도 16의 (a) ~ (f')에는 도시하지 않았지만, 주사 신호 배선용 단자(GTM) 형성 영역에는 주사 신호 배선(GL)의 연장부를, 공통 신호 배선용 단자(CTM) 형성 영역에는 공통 신호 배선(CL)의 연장부를 각각 형성한다.

공정(B)

투명 절연 기판(SUB1) 표면 전역에 예를 들면 플라스마 CVD법에 의해 게이트 절연막(GI)이 되는 질화 실리콘막을 200~700nm 정도, 바람직하게는 300~500nm의 막두께로 형성한다.

또한, 이 게이트 절연막(GI)의 표면 전역에 예를 들면 플라스마 CVD법에 의해 아모르퍼스 실리콘막을 50~300nm, 바람직하게는 100~200nm의 막두께로, 및 n형 불순물로서 인을 도핑한 아모르퍼스 실리콘막을 10~100nm, 바람직하게는 20~60nm의 막두께로 순차적으로 적층한다.

이어서, 포토리소그래피 기술을 이용하여 상기 아모르퍼스 실리콘막을 에칭하고, 화소 영역내에 박막 트랜지스터(TFT)의 반도체층(SI)을 형성한다.

공정(C)

투명 절연 기판(SUB1)의 표면 전역에, 예를 들면 스퍼터링법에 의해 Cr막을 100~500nm, 바람직하게는 150~350nm 형성한다.

이어서, 포토리소그래피 기술을 이용하여 상기 Cr막을 에칭하고, 화소 영역내에는 박막 트랜지스터(TFT)의 소스 전극, 드레인 전극이 되는 영상 신호 전극(SD) 및 영상 신호 전극(SD)을 그대로 연장하여 형성한 화소 전극(PX) 및 상기 영상 신호 전극(SD)의 연장부인 영상 신호 배선(DL)을 형성한다.

또한, 도 16의 (a)~(f')에는 도시하지 않았지만, 영상 신호 배선(DL)용 단자(DTM) 형성 영역에는 영상 신호 배선(DL)의 연장부를 형성한다.

그 후, Cr막을 에칭한 패턴을 마스크로 하여 n형 불순물로서 인을 도핑한 아모르퍼스 실리콘막을 에칭한다.

화소 전극(PX)의 일부분은 게이트 절연막(GI)을 통해 공통 신호 배선(CL) 사이에서 축적 용량(CSTG)을 형성한다.

공정(D)

투명 절연 기판(SUB1)의 표면 전역에, 예를 들면 플라스마 CVD법에 의해 박막 트랜지스터(TFT)의 표면 보호막(PAS)이 되는 질화 실리콘막을 200~900nm, 바람직하게는 300~500nm의 막두께로 형성한다.

이어서, 포토리소그래피 기술을 이용하여 표면 보호막(PAS) 및 표면 보호막(PAS)의 하층에 위치하는 게이트 절연막(GI)을 에칭하고, 화소 영역내에 공통 신호 배선(CL)의 일부를 노출시키기 위한 스루 홀(TH)을 형성한다.

이와 함께, 주사 신호 배선용 단자(GTM) 형성 영역에는 주사 신호 배선(GL)의 연장부를 노출시키기 위한 스루 홀(TH)을, 공통 신호 배선용 단자(CTM) 형성 영역에는 공통 신호 배선(CL)의 연장부를 노출시키기 위한 스루 홀(TH)을, 영상 신호 배선용 단자(DTM) 형성 영역에는 영상 신호 배선(DL)의 연장부를 노출시키기 위한 스루 홀(TH)을 각각 형성한다.

공정(E)

투명 절연 기판(SUB1)의 표면 전역에, 예를 들면 스피너 코팅법에 의해 폴리아미드계, 아크릴계 폴리머, 에폭시계 폴리머, 벤지시클로부텐계 폴리머 등의 각종 유기계 수지 또는 유기 용매에 가용인 Si를 함유하는 무기 폴리머, 예를 들면 SOG막 등의 절연막으로 이루어지는 도포형 절연막(OIL1)을 0.5~4μm, 바람직하게는 0.5~1.5μm의 막두께로 도포한다.

이어서, 포토리소그래피 기술을 이용하여 도포형 절연막을 선택적으로 형성한다. 선택 형성하는 영역은 영상 신호 배선(DL)과, 후술하는 공정(G)에서 형성하는 투명 도전막으로 이루어지는 공통 신호 전극(CE)이 중첩하여 배치되는 영역의 적어도 일부로 한다.

단, 화소 영역내에서는 화소 전극(PX) 위 및 공정(G)에서 형성하는 투명 도전막으로 이루어지는 공통 신호 전극(CE)과 공통 신호 배선(CL)을 전기적으로 접속하기 위해 형성하는 스루 홀(TH) 부분, 주사 신호 배선용 단자(GTM) 형성 영역에는 주사 신호 배선(GL)의 연장부를 노출시키기 위한 스루 홀(TH) 부분, 공통 신호 배선용 단자(CTM) 형성 영역에는 공통 신호 배선(CL)의 연장부를 노출시키기 위한 스루 홀(TH) 부분, 영상 신호 배선용 단자(DTM) 형성 영역에는 영상 신호 배선(DL)의 연장부를 노출시키기 위한 스루 홀(TH) 부분에 대해서는 적어도 도포형 절연막(OIL1)은 배치하지 않는다.

공정 (F)

투명 절연 기판(SUB1)의 표면 전역에 예를 들면 스퍼터링법에 의해 투명 도전막인 ITO막을 50~300nm, 바람직하게는 70~200nm 형성한다.

이어서, 포토리소그래피 기술을 이용하여 ITO막을 에칭하고, 화소 영역내에는 스루 홀(TH)을 통해 공통 신호 배선(CL)과 접속된 공통 신호 전극(CE)을 형성한다.

공통 신호 전극(CE)의 일부분은 선택 형성된 충간 절연막인 도포형 절연막(OIL1)을 통해 영상 신호 배선(DL)과 중첩하도록 배치된다.

도 16의 (a) ~ (f')에는 도시하지 않았지만, 주사 신호 배선용 단자(GTM) 형성 영역 및 공통 신호 배선용 단자(CTM) 형성 영역에는 주사 신호 배선용 단자(GTM) 용 및 금통 신호 배선용 단자(CTM) 용 패드 전극(TC1)을 각각 형성한다.

영상 신호 배선용 단자(DTM) 형성 영역에는 영상 신호 배선용 단자(DTM) 용 패드 전극(TC2)을 형성한다.

이상 설명한 공정에 의해 TFT 기판측이 완성된다.

한편, CF 기판측에는 염색법에 의해 제작한 컬러 필터(CF), 및 Cr계 또는 유기 재료로 이루어지는 차광 패턴(BM)이 형성된다.

그 후, 평탄화층이 되는 오버 코트막을 형성하고, TFT 기판과 CF 기판을 접합하고, 사이에 액정층(LC)을 봉입하고, 양 기판의 외측에 편광판(POL1, POL2)을 배치하면 액정 표시 장치가 된다.

본 제1 실시 형태에서, 도포형 절연막(OIL1)으로서 포토 이미지 형성형의 절연막을 사용하고 있지만, 포토리소그래피 공정을 이용하여 에칭에 의해 도포형 절연막(OIL1)의 패턴을 형성해도 된다.

예를 들면, 도포형 절연막(OIL1)으로서 열경화형 절연막을 사용하여 산소를 반응 가스로 사용한 드라이 에칭법에 의해 패턴을 형성해도 된다.

이 경우, 포토리소그래피 공정에서 사용하는 레지스트의 막두께는 드라이 에칭에 의한 막의 감소분을 고려하여 막을 두껍게 할 필요가 있다.

[제2 실시 형태]

다음에, 도 17~도 21을 참조하여 본 발명에 의한 액정 표시 장치의 제2 실시 형태를 설명한다.

도 17 내지 도 21에 있어서, 전술한 제1 실시 형태와 동일한 구성 요소에 대해서는 동일한 부호를 붙이고 중복되는 설명을 생략한다.

도 17은 본 발명의 제2 실시 형태를 나타내는 액티브 매트릭스형 액정 표시 장치의 단위 화소의 평면도이다.

도 18은 도 17 중의 B-B'로 나타낸 선을 따른 단면도이다.

전술한 제1 실시 형태와 다른 점은 영상 신호 배선(DL) 뿐아니라 주사 신호 배선(GL)에 대해서도 공통 신호 전극(CE)과 중첩한 구조로 한 점이다.

구체적으로는, 용량 저감용 도포형 절연막(OIL1)의 패턴 형상은 영상 신호 배선(DL) 및 주사 신호 배선(GL)의 패턴 형상을 따라 선택적으로 형성되고, 화소 전극(PX) 위에는 도포형 절연막(OIL1)을 배치하지 않는다.

따라서, 본 제2 실시 형태에서도 영상 신호 배선(DL) 및 주사 신호 배선(GL)의 기생 용량을 저감할 수 있어, 배선의 신호 지연을 방지할 수 있고 액정의 구동 전압의 상승을 회피할 수 있다.

또한, 도포형 절연막(OIL1)의 매립, 피복 효과에 의해 영상 신호 배선(DL) 및 주사 신호 배선(GL)과 공통 신호 전극(CE)의 중첩 부분의 절연성을 확보할 수 있는 점 및 최상층에서 공통 신호 전극(CE)을 가공할 때의 에칭액이 상기 불량 부분을 통해 영상 신호 배선(DL), 나아가서는 주사 신호 배선(GL) 표면에 도달하는 것을 방지할 수 있는 점에 대해서도 동일하다.

주사 신호 배선(GL)의 패턴폭을 $WGL \mu m$, 주사 신호 배선(GL)과의 중첩 부분에 상기 주사 신호 배선(GL)의 패턴 형상을 따라 선택적으로 형성한 도포형 절연막(OIL1)의 패턴폭을 $WISO2 \mu m$, 공통 신호 전극(CE)의 패턴폭을 $WCOM2 \mu m$ 로 정의하면 도 3 내지 도6에서 전술한 제1 실시 형태에서 설명한 바와 같이 주사 신호 배선(GL)의 전계 차폐 효과 및 주사 신호 배선(GL)의 기생 용량 저감 효과를 충분히 얻기 위해서는 본 제2 실시 형태에서도 주사 신호 배선(GL)과 공통 신호 전극(CE)의 중첩 부분에 있어서,

$$WGL < WISO2 < WCOM2$$

$$WGL > 0$$

이 성립하도록 각 패턴폭을 설정할 필요가 있다.

또한, 도포형 절연막(OIL1) 패턴 단부에서의 공통 신호 전극(CE)의 단선 용장이 요구되는 경우에는,

$$WGL < WCOM2 < WISO2$$

$$WGL > 0$$

으로 할 필요가 있다.

도 19는 공통 신호 전극(CE)의 단선 용장을 고려하여 공통 신호 전극(CE)의 패턴 형상을 변경한($WCOM2 < WISO2$) 제2 실시 형태에 있어서의 B-B'로 나타낸 선을 따른 단면도이다.

상기 구조로 하면, 영상 신호 배선(DL) 위뿐만 아니라, 주사 신호 배선(GL) 위에 대해서도 블랙 매트릭스(BM)를 생략할 수 있어, 투명 절연 기판(SUB1)에 대한 투명 절연 기판(SUB2)의 위치정렬 여유도를 대폭적으로 향상할 수 있고, 그 만큼 화소의 개구율을 향상시킬 수 있다.

또한, 공통 신호 전극(CE)이 y방향 뿐 아니라 x 방향으로도 연장하여 매트릭스 형태로 배치되므로 공통 신호 전극(CE) 자신의 배선 저항도 대폭적으로 저감할 수 있다.

도 20은 제2 실시 형태에 있어서, 공통 신호 배선(CL)을 공통 신호 전극(CE)과 같은 층에 공통 신호 전극(CE)을 연장하여 형성한 구조의 제2 실시 형태에 있어서의 단위 화소의 평면도이다.

도 21은 도 20 중의 B-B'로 나타낸 선을 따른 단면도이다.

본 제2 실시 형태에서는 상기 매트릭스 배치에 의해 공통 신호 전극(CE) 자신의 배선 저항을 대폭적으로 저감할 수 있는 점을 이용한 구조이다.

배선 저항을 저감하기 위한 공통 신호 배선(CL)을 별도로 형성할 필요가 없어지므로 그 만큼 개구율을 향상시킬 수 있다.

또한, 공통 신호 배선(CL)과 공통 신호 전극(CE)을 스루 홀(TH)을 통해 접속할 필요가 없어지므로, 그 만큼 수율도 향상시킬 수 있다.

본 제2 실시 형태에서는 상기 공통 신호 배선(CL)을 겸한 공통 신호 전극(CE)을 ITO 등의 투명 도전막으로 형성하고 있지만, 공통 신호 배선(CL)의 추가적인 저저항화가 요구되는 경우에는 투명 도전막 대신에 Al 등의 금속이나 합금막을 사용할 수도 있다.

[제3 실시 형태]

이어서, 도 22~도 37을 참조하여 본 발명에 의한 액정 표시 장치의 제3 실시 형태를 설명한다.

도 22 내지 도 37에 있어서, 전술한 제1 실시 형태과 동일한 구성 요소에 대해서는 동일한 부호를 붙이고 중복되는 설명을 생략한다.

제3 실시 형태에서는 영상 신호 배선(DL) 또는 주사 신호 배선(GL)과, 상기 공통 신호 전극(CE)과의 중첩 부분에 존재하는 중간 절연막의 구조에 대해 화소 전극(PX)위의 절연막을 선택적으로 제거한 구조의 실시 형태를 응용 예의 배리에이션도 포함하여 설명한다.

도 22는 본 발명의 제3 실시 형태의 기본이 되는 액티브 매트릭스형 액정 표시 장치의 단위 화소의 평면도이다.

도 23은 도 22 중의 A-A'로 나타낸 선을 따른 단면도이고, 도 24는 도 22 중의 B-B'로 나타낸 선을 따른 단면도이다.

본 제3 실시 형태는 영상 신호 배선(DL) 및 주사 신호 배선(GL)을 공통 신호 전극(CE)과 중첩시킨 제2 실시 형태에서, 용량 저감용의 도포형 절연막(OIL1)을, 화소 전극(PX) 위 및 전극 배선 접속용 스루 홀(TH), 단자 접속용의 노출 부분을 제외한 거의 기판 전체면에 형성한 실시 형태이다.

바꿔 말하면, 상기 중첩 부분에 대해 화소 전극(PX) 위의 도포형 절연막(OIL1)을 상기 화소 전극(PX)의 패턴 형상을 따라 선택적으로 제거한 구조이다. 배선에 의한 전계의 차폐 효과, 배선의 기생 용량 저감 효과, 액정의 구동 전압 상승 억제 효과에 대해서는 제2 실시 형태와 동일하다.

본 제3 실시 형태에서는 도포형 절연막(OIL1)이 거의 기판 전체면에 형성되기 때문에, 게이트 절연막(GI), 박막 트랜지스터(TFT)의 표면 보호막(PAS)에 핀 홀이나 크랙 또는 단자 넘기부의 부착 불량 등의 불량 부분이 존재하는 경우에도 도포형 절연막(OIL1)의 매립, 피복 효과의 혜택을 받는 영역을 확대할 수 있다.

또한, 최상층에서 공통 신호 전극(CE)을 가공할 때의 에칭액이 상기 불량 부분을 통해 하층의 전극이나 배선 표면에 도달하는 것을 방지할 수 있으므로, 전극이나 배선의 용해를 방지할 수 있는 영역에 대해서도 확대할 수 있다. 공통 신호 배선(CL)과 공통 신호 전극(CE)은 도 24에 도시하는 바와 같이 스루 홀(TH)을 통해 접속된다.

본 제3 실시 형태에서는 도포형 절연막(OIL1)의 스루 홀(TH)의 직경을 일괄 가공한 박막 트랜지스터의 표면 보호막(PAS) 및 게이트 절연막(GI)의 그것보다 작게 하고 있다. 그 이유는 공통 신호 전극(CE)이 스루 홀(TH) 단부의 단자 를 넘을 때의 단선 불량을 저감시키기 때문이다.

박막 트랜지스터의 표면 보호막(PAS) 및 게이트 절연막(GI)을 일괄 가공하여 형성된 스루 홀(TH) 단부는 도포형 절연막(OIL1) 중에 매립되어 버리기 때문에, 최종적인 스루 홀(TH) 단부의 단자 형상은 도포형 절연막(OIL1)의 형상에 따라 결정되게 된다.

본 제3 실시 형태에서는 도포형 절연막(OIL1)으로서 포토 이미지형 재료를 사용한다.

이에 따라, 스루 홀(TH) 단부의 단자 형태가 완화되어 완만한 국면을 갖는 형상을 실현할 수 있기 때문에, 결과적으로 공통 신호 전극(CE)의 단자 넘기가 용이해지고, 단선으로 인한 불량부를 저감할 수 있게 된다.

또한, 본 제3 실시 형태에서는 상기 화소 전극(PX)의 패턴 형상을 따라 선택적으로 제거한 도포형 절연막(OIL1)의 패턴폭 WISO3 μ m를, 상기 화소 전극(PX) 패턴폭 WPX μ m보다 좁게 하고 있다(WISO3 < WPX).

이에 따라, 선택 제거한 도포형 절연막(OIL1)의 패턴 단부에 의해 생긴 단차 부분이 화소 전극(PX) 패턴내에 수용되게 되므로, 상기 단차 부분에 있어서의 상층 배향막의 도포 불량이나 액정의 초기 배향 불량, 액정의 스위칭 이상(도메인) 등의 화질 불량을 방지할 수 있다.

도 25는 도 23에 도시한 제3 실시 형태에서 절연막(OIL1) 패턴 형상을 변경한 구조의 제3 실시 형태의 A-A'로 나타낸 선을 따른 단면도이다. 절연막(OIL1) 패턴 단부의 단차로 인한 화질 저하의 영향을 무시할 수 있는 경우에는 본 제3 실시 형태과 같이 화소 전극(PX)의 폭(WPX)에 대해 절연막(OIL1) 패턴폭(WISO3)을 넓게 할(WISO3 > WPX) 수도 있다.

도 26은 제3 실시 형태의 제1 응용예로서, 화소 전극(PX) 위의 도포형 절연막(OIL1)을 선택적으로 박막화한 구조의 제3 실시 형태의 A-A'로 나타낸 선을 따른 단면도이다.

단위 화소의 평면도에 대해서는 도 22와 유사한 구조가 된다.

구체적으로는, 도 22의 도포형 절연막(OIL1)의 스루 홀(TH) 패턴 부분을 박막화한 구조이다.

본 제3 실시 형태는 화소 전극(PX) 위에도 액정의 구동 전압의 현저한 상승을 일으키지 않을 정도의 막두께의 도포형 절연막(OIL1)을 박막화하여 남긴 예이다. 이에 따라, 화소 전극(PX) 위에 대해서도 도포형 절연막(OIL1)을 피복, 보호할 수 있으므로, 최상층에서 공통 신호 전극(CE)을 가공할 때의 에칭액이 박막 트랜지스터(TFT)의 표면 보호막(PAS)의 불량 부분을 통해 하층의 화소 전극(PX) 표면에 도달하는 것을 방지할 수 있고, 화소 전극(XP)의 용해도 방지 할 수 있다.

본 제3 실시 형태에서 절연막(OIL1)을 선택적으로 박막화하는 방법으로서 구체적으로는 다음과 같은 수단이 있다.

도포형 절연막(OIL1)으로서 포토 이미지 형성형 절연막을 사용한 경우에는 예를 들면 다계조의 포토리소그래피용 노광 마스크를 사용한다. 또는 복수장의 노광 마스크를 사용함으로써 도포형 절연막(OIL1)의 노광 강도를 다단계로 조절하고, 현상액에 대한 도포형 절연막(OIL1)의 에칭 특성을 변화시킴으로써 일부의 영역을 선택적으로 박막화할 수 있다.

어느 경우에나 스루 홀(TH) 부분, 단자 접속을 위한 노출 부분에 대해서는 도포형 절연막(OIL1)을 완전히 제거할 필요가 있으므로, 도포형 절연막(OIL1)을 남기는 영역, 박막화하는 영역, 완전히 제거하는 영역의 3단계의 조절이 필요하다.

또한, 포토레지스트 패턴을 이용하여 2회의 포토리소그래피 공정을 거쳐 에칭에 의해 도포형 절연막(OIL1)의 패턴을 형성해도 된다. 예를 들면, 도포형 절연막(OIL1)으로서 열경화형 절연막을 사용하여 산소를 반응 가스로 사용한 드라이 에칭법으로 패턴을 형성해도 된다.

이 경우, 포토리소그래피 공정에서 사용하는 레지스트의 막두께는 드라이 에칭에 의한 막의 감소분을 고려하여 막을 두껍게 할 필요가 있다.

도 27은 제3 실시 형태의 응용예로서 화소 전극위의 절연막인 TFT의 표면 보호막(PAX) 자체를 선택적으로 제거한 구조의 제3 실시 형태의 A-A'로 나타낸 선을 따른 단면도이다.

단위 화소의 평면도에 대해서는 도 22와 유사한 구조가 된다.

구체적으로는, 도 22에서의 도포형 절연막(OIL1) 패턴 부분을 TFT의 표면 보호막(PAS)으로 치환한 구조이다.

본 제3 실시 형태에서는 도포형 절연막(OIL1)을 선택 형성하지 않는다. 따라서, 영상 신호 배선(DL) 및 주사 신호 배선(GL)과, 공통 신호 전극(CE)과의 중첩 부분에 있어서의 배선의 기생 용량 저감에 대해서는 TFT의 표면 보호막(PAS)의 막두께 증대화가 가능한 범위에서 대응한다.

TFT의 표면 보호막(PAS)으로서 구체적으로는 질화 실리콘막($\epsilon = 6.7$)을 사용한다.

본 제3 실시 형태에 의하면, 종래 구조에 있어서, 화소 전극(PX) 위에 존재하는 TFT의 표면 보호막(PAS) 자체를 배선 중첩 부분에 대해 화소 전극(PX) 위에서 선택적으로 제거하기 때문에 종래 구조에 대해 액정의 구동 전압의 상승을 억제하지 않고 더욱 저감할 수 있다.

이유는 다음과 같다.

액정의 구동 전압의 상승을 유발하는 요인이 되는 것은, 화소 전극(PX) 위에 존재하는 절연막이 액정과 직렬로 접속되는 용량을 형성하여, 공통 신호 전극(CE), 화소 전극(PX) 사이에 인가한 전압의 일부를 흡수하기 때문이라는 것은 전술한 바와 같다.

본 제3 실시 형태에서, 종래 구조에서 화소 전극(PX) 위에 존재한 절연막을 선택적으로 제거하면 상기 선택 제거한 영역에 절연막 대신에 액정층(LC)이 새로이 배치되게 된다.

종래 구조에서의 구동 전압에 대해 선택 제거한 구조에 있어서의 구동 전압의 대소를 결정하는 것은, 선택 제거한 영역에 새로이 배치된 액정에 전압을 인가하였을 때의 TFT 기판(SUB1)에서 CF 기판(SUB2)을 향해 본 액정의 유전율의 값이다.

새로이 배치된 액정에 전압을 인가하였을 때에, TFT 기판(SUB1)에서 CF 기판(SUB2)을 향해 본 유전율의 값이, 선택 제거한 절연막의 유전율에 대해 높은 경우에는 그 영역의 용량이 종래 구조의 경우의 용량에 비해 커지고, 그 만큼 선택 제거한 영역에서의 전압 강하를 저감할 수 있다.

그 결과, 더욱 효과적으로 액정에 전압을 인가할 수 있게 되서 구동 전압을 저감할 수 있다.

선택 제거한 영역에 배치된 액정에 전압을 인가하였을 때의 TFT 기판(SUB1)에서 CF 기판(SUB2)을 향해 본 유전율의 값이란 액정의 $\Delta \epsilon$ 가 음인 경우에는 액정의 다이렉터에 대해 수직 방향인 유전율이 되고, 액정의 $\Delta \epsilon$ 가 양인 경우에는 액정의 다이렉터에 대해 평행 방향인 유전율이 된다.

여기에서, 액정의 $\Delta \epsilon$ 가 음인 경우에는 전압을 인가하지 않는 경우라도, TFT 기판(SUB1)에서 CF 기판(SUB2)을 향해 본 유전율의 값은 액정의 다이렉터에 대해 수직 방향인 유전율이 되지만, 액정의 $\Delta \epsilon$ 가 양인 경우에는 액정에 전압이 인가되지 않는 경우에는 TFT 기판(SUB1)에서 CF 기판(SUB2)을 향해 본 유전율은 액정의 다이렉터에 대해 수직 방향인 유전율이 된다. 따라서, 선택 제거한 질화 실리콘막의 유전율의 값 ($\epsilon = 6.7$)보다는 일반적으로 낮은 값을 나타낸다.

단, 전압을 인가한 경우에는, 절연막을 선택적으로 제거한 영역의 액정에는 TFT 기판(SUB1)에 대해 수직 방향의 전계가 발생한다.

이 전계에 의해 선택적으로 제거한 영역의 액정 대부분이 전계에 따라 배향 상태가 변화하고, 액정의 다이렉터는 TFT 기판(SUB1)에 대해 수직으로 된다. 이에 따라, 액정에 전압을 인가한 경우에는 TFT 기판(SUB1)에서 CF 기판(SUB2)을 향해 본 유전율의 값은 액정의 다이렉터에 대해 평행 방향의 유전율이 된다.

일반적으로, 액정의 $\Delta \epsilon$ 가 음인 경우의 액정의 다이렉터에 대해 수직 방향의 유전율 및 액정의 $\Delta \epsilon$ 가 양인 경우의 액정의 다이렉터에 대해 평행 방향의 유전율은 질화 실리콘막의 유전율의 값에 비해 크기 때문에, 실제로는 대부분의 경우에 구동 전압의 저감이 가능하다.

본 제3 실시 형태에서는, 선택 제거한 TFT의 표면 보호막(PAS)으로서 질화 실리콘막을 적용하여 설명하였으나, 본 제3 실시 형태의 효과는 이에 한정되는 것은 아니며, 예를 들면 선택 제거한 절연막에 질화 실리콘막보다 더 유전율이 작은 산화 실리콘막을 사용한 경우에는 그 효과가 보다 현저해진다.

이어서, 도 28 내지 도 36의 (a) ~ (e')를 이용하여 제3 실시 형태의 제3 응용예를 설명한다. 구체적으로는, 도 22 내지 도 25에 나타낸 제3 실시 형태에 있어서, 화소 전극(PX) 위를 선택적으로 제거하여 형성한 도포형 절연막(OIL1) 패턴을 이용하여 하층이 TFT 표면 보호막(PAS)에 대해서도 선택적으로 제거한 구조에 대해 설명한다.

본 제3 실시 형태는 배선의 기생 용량을 저감함과 동시에 액정의 구동 전압을 저감할 수 있는 구조이다.

도 28은 도 22에 있어서, 도포형 절연막(OIL1), TFT 표면 보호막(PAS)을 선택적으로 일괄 제거하였을 때의 A-A'로 나타낸 선을 따른 단면도이고, 도 29는 B-B'로 나타낸 선을 따른 단면도이다.

본 구조로 하면, 도포형 절연막(OIL1) 패턴 가공과, TFT 표면 보호막(PAS) 및 게이트 절연막(GI)의 스루 홀(TH) 가공을 일괄적으로 1회의 포토리소그래피 공정으로 실행할 수 있으므로, 1회분의 포토리소그래피 공정을 생략할 수 있어 공정을 간략화할 수 있다. 그 결과, 스루풋을 향상시켜 생산 비용을 저감할 수 있다.

또한, 제1 도포형 절연막(OIL1) 패턴에 대해 패턴의 정렬 어긋남을 발생시키지 않고 박막 트랜지스터(TFT)의 표면 보호막 및 게이트 절연막(GI)을 제거할 수 있으므로, 화소 전극(PX) 위, 스루 홀(TH)부, 단자 노출부에 있어서의 선택 형성 또는 선택 제거 패턴을 정렬 여유도분 만큼 작게 할 수 있고, 그 만큼 화소의 개구율에 기여하는 영역을 확대할 수 있다.

본 제3 실시 형태에서는, 도포형 절연막(OIL1) 및 TFT의 표면 보호막(PAS)으로 이루어지는 적층막을 일괄적으로 제거하기 때문에, 생기는 적층 단차 패턴의 높이는 보다 커지고, 단차로 인해 생기는 부작용도 커지는 방향에 있다.

본 제3 실시 형태에서도, 상기 화소 전극(PX)의 패턴 형상을 따라 선택적으로 제거한 도포형 절연막(OIL1)의 패턴 폭 WIOS3 μ m을, 상기 화소 전극(PX) 패턴 폭 WPX μ m보다 좀 더 커 있다(WIOS3 < WPX).

이에 따라, 선택하여 일괄 제거한 도포형 절연막(OIL1), TFT의 표면 보호막(PAS)으로 이루어지는 적층 단차 패턴의 단부로 인해 생기는 단차 부분이 화소 전극(PX) 패턴내에 수용되게 되므로, 상기 단차 부분에 있어서의 상층 배향막의 도포 불량이나 액정의 초기 배향 불량, 액정의 스위칭 이상(도메인) 등의 화질 불량을 방지할 수 있다.

또한, 본 방식을 실시하면, 배선 중첩 부분에 용량 저감용 도포형 절연막(OIL1)을 임의로 형성한 경우에도 종래 구조에 비해 화소 전극(PX) 위의 절연막을 선택적으로 제거할 수 있어, 액정의 구동 전압을 더욱 저감할 수 있다.

도 30은 도 28 및 도 29에 도시한 제3 응용예에 있어서, 절연막(OIL1) 패턴 형상을 변경한 구조의 제3 실시 형태에 있어서의 단위 화소의 평면도이다.

도 31은 도 30 중의 A-A'로 나타낸 선을 따른 단면도이다.

본 제3 실시 형태에서는 선택 제거하는 도포형 절연막(OIL1) 패턴의 개구부를 도 22에 비해 크게 배치하고 있다.

이에 따라, 도포형 절연막(OIL1) 패턴의 가공 불량으로 인한 개구 불량을 저감할 수 있다.

본 제3 실시 형태에서도, 도포형 절연막(OIL1)의 패턴 단부의 한쪽이 공통 신호 전극 패턴내에, 다른 한쪽이 화소 전극(PX) 패턴내에 수용되도록 배치되어 있으므로, 일괄적으로 선택 제거한 도포형 절연막(OIL1)과 TFT의 표면 보호막(PAS)의 적층 단차 부분에 있어서의 상층 배향막의 도포 불량이나 액정의 초기 배향 불량, 액정의 스위칭 이상(도메인) 등의 화질 불량을 방지할 수 있다.

본 제3 실시 형태에서는 화소 전극(PX) 표면이 노출되도록, 액정의 구동 전압 상승의 요인인 화소 전극(PX) 위의 절연막을 일괄적으로 제거하고 있다. 이 때문에, 절연막 제거 후에 형성되는 공통 신호 전극(CE) 패턴과 화소 전극(PX) 패턴이 중첩하여 단락하는 일이 없도록, 도포형 절연막(OIL1) 패턴 및 공통 신호 전극(CE) 패턴을 배치할 필요가 있다.

또한, 본 제3 실시 형태에서는 노출한 화소 전극(PX) 위에서, 공통 신호 전극(CE) 패턴을 형성, 가공할 필요가 있다.

따라서, 하층의 화소 전극(PX)을 구성하는 도전막 재료에 대해, 상층의 공통 신호 전극(CE)을 구성하는 도전막 재료가 선택적으로 에칭될 수 있는 것이 조건이 된다.

예를 들면, 화소 전극(PX)을 Al 또는 Al의 합금막으로, 공통 신호 전극(CE)을 투명 도전막으로 형성하고자 하는 경우, 예를 들면 공통 신호 전극(CE)은 Al에 대한 에칭 속도가 작은 육살산 등의 약산으로 에칭이 가능한 아모르퍼스 ITO 또는 IZO 또는 IGO 등을 사용할 필요가 있다.

화소 전극(PX), 공통 신호 전극(CE)을 모두 투명 도전막으로 형성하고자 하는 경우에는, 예를 들면 상층의 공통 신호 전극(CE)은 에칭 속도가 작은 육살산 등의 약산으로 에칭이 가능한 아모르퍼스의 ITO 또는 IZO 또는 IGO 등을 사용하고, 하층의 화소 전극(PX)은 상기 아모르퍼스의 ITO, IZO, IGO에 비해 두자릿수 정도 에칭 속도가 작은 다결정의 ITO, IZO, IGO 등을 사용함으로써 실현할 수 있다.

그리고, 공통 신호 전극(CE) 가공시에 화소 전극(PX)이 노출하지 않는 구조, 구체적으로는 앞서 설명한 본 발명의 제1 실시 형태 및 제2 실시 형태 및 제3 실시 형태 중의 일부의 실시 형태에서 설명한 구조예 등에 대해서는 화소 전극(PX) 및 공통 신호 전극(CE)을 구성하는 도전막 재료에 대한 특별한 제약은 없다.

도 32a 및 도 32b는 도 28 내지 도 29, 도 32a 및 도 32b에 도시한 제3 응용예에 관한 액티브 매트릭스형 액정 표시 장치의 기판 단부의 단면 모식도이다.

도 33a는 주사 신호 배선(GL)용 단자(GTM) 부분의 주요부 평면도이고, 도 33b는 A-A'로 나타낸 선을 따른 도 33a의 단면도이고, 도 34a는 영상 신호 배선(DL)용 단자(DTM) 부분의 주요부 평면도이고, 도 34b는 A-A'로 나타낸 선을 따른 도 34a의 단면도이다.

도 32a, 도 32b 내지 도 34a, 도 34b에 도시한 제3 실시 형태의 평면도 및 단면도는, 선택적으로 형성 또는 제거한 도포형 절연막(OIL1) 유무 이외의 구조는 제1 실시 형태 중의 도 12 내지 도 14와 동일하므로 설명을 생략한다.

이어서, 도 28 내지 도 32a, 도 32b에 도시한 제3 응용예에 대해 형성 방법의 구체예를 도 35 및 도 36a~도 36e'를 이용하여 설명한다.

도 35는 도 28 내지 도 32a, 도 32b에 도시한 제3 응용예에 관한 액티브 매트릭스형 액정 표시 장치의 구조를 실현하기 위해 프로세스 흐름을 나타낸 도면이다.

도 36의 (a)~(e)는 도 35의 프로세스 흐름에 따라 TFT 기판을 제작하였을 때의 도 22의 A-A'로 나타낸 선을 따른 단면도이고, 도 36의 (a')~(e')는 B-B'로 나타낸 선을 따른 단면도이다.

제3 응용예에서는 구체적으로는 (A)~(E)의 5단계의 포토리소그래피 공정을 거쳐 TFT 기판(SUB1)이 완성된다.

이하 공정순으로 설명한다.

공정 (A)

투명 절연 기판(SUB1)을 준비하고, 그 표면 전역에 예를 들면 스팍터링법에 의해 Cr막을 100~500nm, 바람직하게는 150~350nm 형성한다.

이어서, 포토리소그래피 기술을 이용하여 상기 Cr막을 선택 에칭하고, 화소 영역내에는 주사 신호 전극(GE), 주사 신호 배선(GL) 및 공통 신호 배선(CL)을 형성한다.

또한 도 16의 (a) ~ (f')에는 도사하지 않았지만, 주사 신호 배선용 단자(GTM) 및 공통 신호 배선용 단자(CTM) 형성 영역에는 주사 신호 배선(GL) 및 공통 신호 배선(CL)의 연장부를 각각 형성한다.

공정(B)

투명 절연 기판(SUB1) 표면 전역에 예를 들면 플라스마 CVD법에 의해 게이트 절연막(GI)이 되는 질화 실리콘막을 200~700nm 정도, 바람직하게는 300~500nm의 막두께로 형성한다.

또한, 이 게이트 절연막(GI)의 표면 전역에 예를 들면 플라스마 CVD법에 의해 아모르퍼스 실리콘막을 50~300nm, 바람직하게는 100~200nm의 막두께로, 및 n형 불순물로서 인을 도핑한 아모르퍼스 실리콘막을 10~100nm, 바람직하게는 20~60nm의 막두께로 순차적으로 적층한다.

이어서, 포토리소그래피 기술을 이용하여 상기 아모르퍼스 실리콘막을 에칭하고, 화소 영역내에 박막 트랜지스터(TFT)의 반도체층(SI)을 형성한다.

공정(C)

투명 절연 기판(SUB1)의 표면 전역에 예를 들면 스퍼터링 법에 의해 Cr막을 100~500nm, 바람직하게는 150~350nm 형성한다.

이어서, 포토리소그래피 기술을 이용하여 상기 Cr막을 에칭하고, 화소 영역내에는 박막 트랜지스터(TFT)의 소스 전극, 드레인 전극이 되는 영상 신호 전극(SD) 및 영상 신호 전극(SD)을 그대로 연장하여 형성한 화소 전극(PX) 및 상기 영상 신호 전극(SD)의 연장부인 영상 신호 배선(DL)을 형성한다.

또한, 도 16의 (a) ~ (f')에는 도시하지 않았지만 영상 신호 배선(DL)용 단자(DTM) 형성 영역에는 영상 신호 배선(DL)의 연장부를 형성한다.

그 후, Cr막을 에칭한 패턴을 마스크로 하여 n형 불순물로서 인을 도핑한 아모르퍼스 실리콘막을 에칭한다.

화소 전극(PX)의 일부분은 게이트 절연막(GI)을 통해 공통 신호 배선(CL) 사이에서 축적 용량(CSTG)을 형성한다.

공정(D)

투명 절연 기판(SUB1)의 표면 전역에 예를 들면 플라스마 CVD법에 의해 박막 트랜지스터(TFT)의 표면 보호막(PAS)이 되는 질화 실리콘막을 200~900nm, 바람직하게는 300~500nm의 막두께로 형성한다.

이어서, 투명 절연 기판(SUB1)의 표면 전역에 예를 들면 스판 코팅법에 의해 폴리이미드계, 아크릴계 폴리머, 에폭시계 폴리머, 벤지시클로부텐계 폴리머 등의 각종 유기계 수지 또는 유기 용매에 가용인 Si를 함유하는 무기 폴리머, 예를 들면 SOG막 등의 절연막으로 이루어지는 도포형 절연막(OIL1)을 $0.5\text{ }\mu\text{m}$ ~ $4\text{ }\mu\text{m}$, 바람직하게는 $0.5\text{ }\mu\text{m}$ ~ $1.5\text{ }\mu\text{m}$ 의 막두께로 도포한다.

이어서, 폴리리소그래피 기술을 이용하여 도포형 젤연막(OIL1) 패턴을 선택적으로 형성한다.

선택 형성하는 영역은, 화소 영역내에서는 화소 전극(PX) 위 및 공정(E)에서 형성되는 투명 도전막으로 이루어지는 공통 신호 전극(CE)과 공통 신호 배선(CL)을 전기적으로 접속하기 위해 형성하는 스루 홀(TH) 부분, 주사 신호 배선용 단자(GTM) 형성 영역에는 주사 신호 배선(GL)의 연장부를 노출시키기 위한 스루 홀(TH) 부분, 공통 신호 배선용 단

자(CTM) 형성 영역에는 공통 신호 배선(CL)의 연장부를 노출시키기 위한 스루 홀(TH) 부분, 영상 신호 배선용 단자(DTM) 형성 영역에는 영상 신호 배선(DL)의 연장부를 노출시키기 위한 스루 홀(TH) 부분을 제외한 거의 기판 전체 면으로 한다.

이어서, 상기 선택 형성한 도포형 절연막(OIL1) 패턴을 마스크로 하여 TFT의 표면 보호막(PAS) 및 표면 보호막(PAS)의 하층에 위치하는 게이트 절연막(GI)을 일괄적으로 에칭하고, 화소 영역내에 화소 전극(PX) 표면을 노출시키기 위한 스루 홀(TH) 및 공통 신호 배선(CL)의 일부를 노출시키기 위한 스루 홀(TH)을 형성한다.

이와 함께, 주사 신호 배선용 단자(GTM) 형성 영역에는 주사 신호 배선(GL)의 연장부를 노출시키기 위한 스루 홀(TH)을, 공통 신호 배선용 단자(CTM) 형성 영역에는 공통 신호 배선(CL)의 연장부를 노출시키기 위한 스루 홀(TH)을, 영상 신호 배선용 단자(DTM) 형성 영역에는 영상 신호 배선(DL)의 연장부를 노출시키기 위한 스루 홀(TH)을 각각 형성한다.

공정(E)

투명 절연 기판(SUB1)의 표면 전역에 예를 들면 스퍼터링법에 의해 투명 도전막인 ITO막을 50~300nm, 바람직하게는 70~200nm 형성한다.

이어서, 포토리소그래피법을 이용하여 ITO막을 에칭하고, 화소 영역내에는 스루 홀(TH)을 통해 공통 신호 배선(CL)과 접속된 공통 신호 전극(CE)을 형성한다.

공통 신호 전극(CE)의 일부분은 선택 형성된 층간 절연막인 도포형 절연막(OIL1)을 통해 영상 신호 배선(DL) 및 주사 신호 배선(GL)과 중첩하도록 배치된다.

도 16의 (a)~(f')에는 도시하지 않았지만, 주사 신호 배선용 단자(GTM) 형성 영역 및 공통 신호 배선용 단자(CTM) 형성 영역에는 주사 신호 배선용 단자(GTM)용 및 공통 신호 배선용 단자(CTM)용 패드 전극(TCI)을 각각 형성한다.

영상 신호 배선용 단자(DTM) 형성 영역에는 영상 신호 배선용 단자(DTM)용 패드 전극(TC2)을 형성한다.

본 제3 실시 형태에서, 상층의 공통 신호 전극(CE)을 구성하는 ITO막은 하층의 화소 전극(PX)을 구성하는 Cr막에 대해 선택적으로 에칭 가공할 수 있으므로, 선택 에칭의 제약 조건은 달성하고 있다.

이상 설명한 공정에 의해 TFT 기판층이 완성된다.

본 제3 실시 형태에서, 도포형 절연막(OIL1)으로서 포토 이미지 형성형 절연막을 사용하고 있지만, 물론 공정(D)에서 제작한 도포형 절연막(OIL1) 패턴을 마스크로서 사용하지 않고 레지스트를 사용한 포토리소그래피 공정에 의해 도포형 절연막(OIL1), TFT의 표면 보호막(PAS) 및 표면 보호막(PAS)의 하층에 위치하는 게이트 절연막(GI)으로 이루 어지는 3층의 적층막을 일괄 에칭에 의해 선택적으로 제거, 형성해도 된다.

예를 들면, 도포형 절연막(OIL1)으로서 열경화형 절연막을 사용하고 산소를 반응 가스로 사용한 드라이 에칭법으로 에칭해도 된다.

이 경우, 포토리소그래피 공정에서 사용하는 레지스트의 막두께는 도포형 절연막(OIL1) 및 상기 도포형 절연막(OIL1)에 이어서 TFT의 표면 보호막(PAS) 및 표면 보호막(PAS)의 하층에 위치하는 게이트 절연막(GI)을 일괄적으로 드라이 에칭할 때의 막의 감소분을 고려하여 막두께를 두껍게 할 필요가 있다.

[제4 실시 형태]

다음에, 도 37, 도 38을 참조하여 본 발명에 의한 액정 표시 장치의 제4 실시 형태를 설명한다.

도 37 내지 도 38에 있어서, 전술한 제1 실시 형태과 동일한 구성 요소에 대해서는 동일한 부호를 붙이고 중복되는 설명을 생략한다.

제4 실시 형태는, 제3 실시 형태에서 노출한 화소 전극(PX), 공통 신호 전극(CE) 표면을 덮도록 절연막(OIL2)을 형성한 구조이다. 절연막(OIL2)은 포로세스의 수율 향상을 목적으로 새로이 추가한 제2 도포형 절연막이다.

도 37은 도 28 및 도 29에 도시한 제3 실시 형태에 있어서, 화소 전극위의 절연막(OIL1), TFT의 표면 보호막(PAS)을 선택적으로 제거한 후, 노출한 화소 전극(PX), 공통 신호 전극(CE) 표면을 덮도록 절연막(OIL2)을 형성한 제4 실시 형태의 A-A'로 나타낸 선을 따른 단면도이다.

절연막(OIL2)의 표면 피복에 의해, 화소 전극(PX), 공통 신호 전극(CE)을 구성하는 도전막 재료의 일부가 액정 내부로 유출하여, 액정의 비저항이 저하되는 등 액정의 전기·광학 특성에 영향을 미침으로써 발생하는 액정 표시 장치의 화질 저하를 방지할 수 있다.

또한, 공통 신호 전극(CE)의 패턴 단부 및 선택 제거한 도포형 절연막(OIL1) 및 TFT 표면 보호막(PAS)의 적층 패턴 단부에 의해 생기는 단차 부분을 절연막(OIL2)을 부착하여 피복하면 상기 단차 부분에 있어서의 상층 배향막의 도포 불량이나 액정의 초기 배향 불량, 액정의 스위칭 이상(도메인) 등의 화질 불량을 방지할 수 있다.

그러나, 공통 신호 전극(CE) 위 및 화소 전극(PX) 위에 존재하는 절연막은 전술한 바와 같이 액정의 구동 전압을 상승시키는 요인이 되기 때문에, 구동 전압의 상승분으로 허용 범위내에 포함되도록 절연막(OIL2)의 종류(유전율) 및 막 두께를 설정할 필요가 있다.

또한, 화소 전극(PX), 공통 신호 전극(CE)의 노출에 의한 전극 표면의 전계 집중을 완화할 수 있어, 액정(LC) 및 배향막(ORI1)에 국부적으로 강한 전계가 인가되는 것으로 인한 잔상의 발생을 방지할 수 있다.

제2 도포형 절연막(OIL2)으로는 예를 들면 스펜 코팅법에 의해 폴리이미드계, 아크릴계 폴리머, 에폭시계 폴리머, 벤지시클로부텐계 폴리머 등의 각종 유기계 수지 또는 유기 용매에 가용인 Si를 함유하는 무기 폴리머, 예를 들면 SOG막 등의 도포형 절연막을 형성한다. 막두께는 $0.1 \sim 0.5 \mu\text{m}$ 범위가 바람직하다.

그리고, 제2 도포형 절연막(OIL2)의 형성 시에는, 주사 신호 배선용 단자(CTM) 형성 영역에는 주사 신호 배선(GL)의 연장부를 노출시키기 위한 스루 홀(TH), 공통 신호 배선용 단자(CTM) 형성 영역에는 공통 신호 배선(CL)의 연장부를 노출시키기 위한 스루 홀(TH), 영상 신호 배선용 단자(DTM) 형성 영역에는 영상 신호 배선(DL)의 연장부를 노출시키기 위한 스루 홀(TH)을 형성해 놓을 필요가 있다.

도 38은 도 37에 도시한 제4 실시 형태에 있어서, 화소 전극(PX) 표면만을 덮도록 절연막(OIL2)을 형성하고, 공통 신호 전극(CE)에 대해서는 노출시킨 구조의 제4 실시 형태의 A-A'로 나타낸 선을 따른 단면도이다.

본 제4 실시 형태에 있어서, 제2 도포형 절연막(OIL2)은 화소 전극(PX) 위의 도포형 절연막(OIL1) 및 TFT의 표면 보호막(PAS)을 일괄적으로 제거하여 화소 전극(PX) 표면을 노출시킨 후에 노출된 화소 전극(PX) 표면 뿐만 아니라, 기판의 거의 전체면을 피복, 보호하도록 형성되어 있다.

따라서, 그 후의 공정에서, 화소 전극(PX) 위에서 공통 신호 전극(CE)을 가공할 때에 하층의 화소 전극(PX) 뿐 아니라, 나아가서는 보다 하층에 존재하는 전극, 배선이 TFT의 표면 보호막(PAS), 게이트 절연막(GI)에 존재하는 크랙이나 편 홀 또는 단차 넘기부의 부착 불량 등의 불량 부분을 통해 용해, 단선되는 것을 방지할 수 있다.

이에 따라, 노출된 화소 전극(PX) 위에서, 공통 신호 전극(CE) 패턴을 형성, 가공할 필요가 없어지므로, 하층의 화소 전극(PX)을 구성하는 도전막 재료에 대해, 상층의 공통 신호 전극(CE)을 구성하는 도전막 재료가 선택적으로 에칭될 수 있어야 한다는 제약을 받지 않고, 화소 전극(PX) 및 공통 신호 전극(CE)을 구성하는 도전막 재료를 독립적으로 임의로 선택할 수 있다.

또한, 도 37에 도시한 제4 실시 형태의 구조와는 달리, 제2 도포형 절연막(OIL2)은 화소 전극(PX) 위에만 존재하고, 공통 신호 전극(CE) 위에는 존재하지 않는다.

따라서, 도 37에 도시한 제4 실시 형태에 비해 공통 신호 전극(CE) 위에 존재하는 제2 도포형 절연막(OIL2) 분 만큼, 액정의 구동 전압 상승이라는 부작용을 저감할 수 있다.

단, 공통 신호 전극(CE) 위에 대해서는 표면 피복, 보호 효과는 얻어지지 않는다.

본 제4 실시 형태는 공통 신호 전극(CE) 가공시의 화소 전극(PX) 및 하층에 존재하는 배선, 전극의 보호를 위해 제2 도포형 절연막(OIL2)을 새로이 추가한 구조로 되어 있지만, 도포형 절연막(OIL1)을 한 층만으로 하고, OIL1에 본 실시 형태로 나타낸 OIL2의 효과를 부여해도 동일한 효과가 얻어진다.

그 때에는, 도 26에 전술한 제3 실시 형태 중의 제1 응용 예의 구조와 같이 OIL1은 선택적으로 형성하는 영역 이외의 절연막을 모두 제거하는 것이 아닌, 그 영역에 박막을 남기는 구조가 된다.

그리고, 제2 도포형 절연막(OIL2)의 형성시에는 공통 신호 전극(CE)과 공통 신호 배선(CL)을 전기적으로 접속하기 위하여 형성하는 스루 홀(TH), 주사 신호 배선용 단자(GTM) 형성 영역에는 주사 신호 배선(GL)의 연장부를 노출시키기 위한 스루 홀(TH), 공통 신호 배선용 단자(CTM) 형성 영역에는 공통 신호 배선(CL)의 연장부를 노출시키기 위한 스루 홀(TH), 영상 신호 배선용 단자(DTM) 형성 영역에는 영상 신호 배선(DL)의 연장부를 노출시키기 위한 스루 홀(TH)을 형성해 놓을 필요가 있다.

[제5 실시 형태]

다음에, 도 39를 참조하여 본 발명에 의한 액정 표시 장치의 제5 실시 형태를 설명한다. 도 39는 본 발명의 제5 실시 형태의 A-A'로 나타낸 선을 따른 단면도이다.

도 39에 있어서, 전술한 제3 실시 형태과 동일한 구성 요소에 대해서는 동일한 부호를 붙이고 중복되는 설명을 생략한다.

제5 실시 형태에서는 도 28 및 도 29에 도시한 제3 실시 형태에 있어서, 제3 실시 형태에서 나타낸 프로세스 흐름 후에 화소 전극위의 도포형 절연막(OIL1), TFT의 표면 보호막(PAS)을 선택적으로 제거하여 생긴 단차 부분을 매립하여 평탄화하도록 절연막(OIL3)을 형성하고 있다.

OIL3은 구동 전압 저감을 위해 새로이 삽입된 절연막이고, 이 절연막(OIL3)은 그 유전율이, 동일한 영역에서 선택적으로 제거한 절연막의 유전율보다 높은 것을 특징으로 한다.

본 제5 실시 형태에 의하면, 화소 전극위의 도포형 절연막(OIL1) 및 TFT의 표면 보호막(PAS)을 선택적으로 제거한 영역에, 유전율이 높은 절연막을 새로이 형성하면 액정의 유전율에 좌우되지 않고 구동 전압을 저감할 수 있다. 이 경우, 절연막(OIL3)의 유전율이 높을수록 구동 전압 저감 효과는 커진다.

또한, 본 제5 실시 형태에 의하면, 도포형 절연막(OIL1) 및 TFT의 표면 보호막(PAS)을 선택적으로 제거한 단차 영역에 절연막(OIL3)을 배치함으로써, TFT 기판(SUB1)과 CF 기판(SUB2)에 끼워 지지된 액정(LC)의 단차로 인한 갭의 차이를 거의 0으로 할 수 있고, 갭의 편차로 인한 표시 불량을 일으키지 않고 양호한 표시를 실현할 수 있다.

그리고, 제3 도포형 절연막(OIL3)의 형성시에도, 주사 신호 배선용 단자(GTM) 형성 영역에는 주사 신호 배선(GL)의 연장부를 노출시키기 위한 스루 홀(TH), 공통 신호 배선용 단자(CTM) 형성 영역에는 공통 신호 배선(CL)의 연장부를 노출시키기 위한 스루 홀(TH), 영상 신호 배선용 단자(DTM) 형성 영역에는 영상 신호 배선(DL)의 연장부를 노출시키기 위한 스루 홀(TH)을 형성해 놓을 필요가 있다.

[제6 실시 형태]

다음에, 도 40 및 도 41을 참조하여 본 발명에 의한 액정 표시 장치의 제6 실시 형태를 설명한다.

제6 실시 형태는 하층의 TFT 표면 보호막(PAS)을 생략하고, 화소 전극(PX) 위를 선택적으로 제거하여 형성한 절연막(OIL1)으로 TFT 표면 보호막을 겸용한 구조이다.

도 40에, 도 22에 도시한 제3 실시 형태에 있어서, 도포형 절연막(OIL1)으로 TFT 표면 보호막(PAS)을 겸용한 구조의 A-A'로 나타낸 선을 따른 단면도를, 도 41에 B-B'로 나타낸 선을 따른 단면도를 각각 나타낸다. 통상, TFT 표면 보호막(PAS)에는 플라스마 CVD법 등의 진공 프로세스로 형성한 질화 실리콘막 등의 무기 절연막이 사용되고, 그 가공에도 진공 프로세스인 드라이 에칭법이 사용된다.

플라스마 CVD법 등의 퇴적형 막형성에서는 막두께가 두꺼워짐에 따라 막형성에 시간을 필요로 하게 되어 스루풋이 저하되는 문제가 있다.

이에 비해, 도포형 유기 절연막을 TFT의 표면 보호막(PAS)으로 사용한 경우, 예를 들면 도포형 절연막(OIL1)의 형성에는 스픬 코팅법 등이 사용된다. 스픬 코팅법에서는 도포 재료의 점도를 조정하여 막두께를 제어하기 때문에 퇴적형 CVD법과는 달리 막두께를 두껍게 하는 것이 용이하다.

진공 프로세스를 사용하지 않는 만큼 막형성 설비도 저렴하다.

더불어, 포토 이미지 형성형의 도포형 절연막을 사용하면 드라이 에칭 공정을 새로이 마련할 필요도 없어지고, 배선의 중첩 부분에 대한 도포형 절연막(OIL1)의 선택 형성, 화소 전극(PX) 위에서의 선택 제거를 용이하게 실행할 수 있다.

즉, 도포형 절연막(OIL1)으로 TFT의 표면 보호막(PAS)을 겸용하면 TFT 표면 보호막(PAS)의 형성, 가공을 위한 공정을 생략할 수 있으므로 스루풋을 향상시킬 수 있고, 생산 비용을 대폭적으로 줄일 수 있다.

또한, 도포형 절연막(OIL1)을 형성하면 TFT의 표면 보호막(PAS)에서 문제가 되는 핀홀이나 크랙, 하층 단차 넘기부의 부착 불량부를 매립, 피복 효과에 의해 보수할 수 있으므로, 보다 하층에 존재하는 각종 전극, 배선의 부식, 용해, 단선을 크게 저감할 수 있어, 수율을 대폭적으로 향상시킬 수 있다.

또한, 배선 중첩 부분의 충간 절연 불량으로 인한 단락 불량에 대해서도 저감할 수 있다. 중첩 부분에 있어서의 배선의 기생 용량의 저감 및 액정의 구동 전압의 저감을 양립시킬 수 있다.

단, 본 제6 실시 형태에서는 TFT의 채널 반도체층인 아모르퍼스 실리콘막(SI)의 백-채널(back-channel) 부분이 도포형 절연막(OIL1)과 직접 접촉하는 구조가 된다.

따라서, 아모르퍼스 실리콘막(SI)이나 도포형 절연막(OIL1)의 막질이나 재료 특성에 따라서는, 예를 들면 접촉 계면에 고정 전하가 발생하여 백-채널 부분에서의 누설 전류가 증대되는 등, TFT 특성이 영향을 받는 것이 우려된다. 그 경우에는 백-채널 부분을 보호하기 위한 처리 공정이 추가로 필요해진다.

본 제6 실시 형태에서는 도포형 절연막(OIL1)을 형성하기 전에, 기판 전체면을 산소 플라스마 중에 쪽이는 산소 플라스마 처리에 의해 아모르퍼스 실리콘막(SI)의 백-채널 부분의 극(極) 표면을 산화시켜 보호하는 처리를 한다.

이상의 제6 실시 형태에서는, 영상 신호 배선(DL) 및 주사 신호 배선(GL) 위에 중첩하여 형성한 공통 신호 전극(CE)의 자기 차광막으로서의 기능을 이용하여 CF 기판(SUB2) 위의 y방향 및 x방향으로 연장하는 블랙 매트릭스(BM)를 생략하는 구조에 대해 설명하였으나, 반사 방지막으로서의 용도로, CF 기판(SUB2) 위의 블랙 매트릭스(BM)를 남겨 놓아도 된다.

이상의 실시 형태에서는, 예를 들면 주사 신호 배선(GL)을 x방향으로 연장하여 y방향으로 병설하고, 영상 신호 배선(DL)을 y방향으로 연장하여 x방향으로 병설하여 형성하였으나, 주사 신호 배선(GL)과 영상 신호 배선(DL)의 위치 관계를 바꿔서 구성해도 된다.

또한, 이상의 제6 실시 형태에서는 층간 절연막이 되는 게이트 절연막(GI)을 통해 주사 신호 배선(GL)을 하층에, 영상 신호 배선(DL)을 상층에 배치하고 있으나, 주사 신호 배선(GL)과 영상 신호 배선(DL)의 층순서에 관계되는 위치 관계를 바꿔서 구성해도 된다.

그리고, 상기 배선의 층순서는 후술하는 TFT의 구조와도 관계하고 있다.

또한, 이상의 제6 실시 형태에서는, 화소 전극(PX) 및 공통 신호 전극(CL)에 대해서는 영상 신호 배선(DL)과 동일한 방향으로 연장, 병설하여 형성하였으나, 주사 신호 배선(GL)과 동일한 방향으로 연장, 병설하여 형성해도 된다.

도 8에 도시한 공통 신호 전극(CE) 및 화소 전극(PX)에 굴곡부를 형성한 구조는 제1 실시 형태의 구조를 변화시킨 구조로 하였으나, 이에 한정되는 것은 아니며, 그 밖의 실시 형태에 적용하면 각각에 나타낸 효과에 멀티 도메인의 효과가 부여된다.

이상의 실시 형태에서는 공통 신호 배선(CL)으로서 주사 신호 전극(GE), 주사 신호 배선(GL)과 같은 층에 동일한 재료, 동일한 공정으로 형성한 메탈 배선을 사용한 예를 설명하였지만, 영상 신호 전극(SD), 영상 신호 배선(DL)과 같은 층에 동일한 재료, 동일한 공정으로 형성해도 된다.

또한, 공통 신호 전극(CE)을 구성하는 전극 재료를 그대로 연장하여 공통 신호 배선(CL)으로 해도 됨은 실시 형태에 나타낸 바와 같다.

화소 전극(XP)에 대해서도 영상 신호 전극(SD)을 구성하는 전극 재료를 그대로 연장하여 형성해도 됨은 실시 형태에 나타낸 바와 같다.

주사 신호 전극(GE), 주사 신호 배선(GL) 및 영상 신호 전극(SD), 영상 신호 배선(DL) 및 공통 신호 배선(CL), 화소 전극(PX)을 구성하는 메탈막은 일례로서 Cr을 사용하고 있지만, 예를 들면 스퍼터링 또는 증착법 등으로 형성된 Cr, Mo, Ta, Ti, Nb, W 등의 고용접 금속, 이들의 합금 또는 금속 실리사이드 또는 저저항 배선 재료인 Al, Al 합금 또는 이들 재료로 이루어지는 적층막으로 구성해도 된다.

또한, 화소 전극, 공통 신호 전극(CE), 공통 신호 배선(CL)에 대해서는 투명 도전막으로 형성해도 됨은 실시 형태에서 설명한 바와 같다.

이상의 실시 형태에서는, 투명 도전막으로서 산화 인듐 주석을 사용하여 설명하였지만, 투명 도전막이라면 동일한 효과는 얻어지므로, 예를 들면 산화 인듐 아연(IZO:INDIUM ZINC OXIDE), 산화 인듐 게르마늄(IGO:INDIUM GERMANIUM OXIDE) 등의 산화 인듐계의 다른 투명 도전막이라도 좋다.

반도체, 불순물을 도핑한 실리콘막으로 이루어지는 전극(NSI)을 구성하는 실리콘막으로는 아모르퍼스 실리콘막을 사용하고 있지만, 예컨대 아모르퍼스 실리콘막을 열처리 또는 레이저 어닐링 처리하여 결정화한 결정 실리콘막을 사용해도 된다.

게이트 절연막(GI), 보호 절연막은 예를 들면 플라스마 CVD 또는 스퍼터링법 등으로 형성된 질화 실리콘막을 사용하고 있지만, 예를 들면 산화 실리콘막 등의 절연막으로 구성해도 된다.

게이트 절연막(GI)에 대해서는 주사 신호 전극(GE), 주사 신호 배선(GL)을 구성하는 메탈의 일부 표면을 산화시켜 얻어진 절연막을 사용해도 된다.

이상의 실시 형태에서는 배선 중첩 부분의 충간 절연막의 구조로서, 박막 트랜지스터(TFT)의 표면 보호막(PAS)이 포함된 구조를 일례로 설명하였지만, 게이트 절연막(GI), 박막 트랜지스터(TFT)의 표면 보호막(PAS)의 적층막이 포함되는 경우, 게이트 절연막(GI), 박막 트랜지스터(TFT)의 표면 보호막(PAS) 중 어느 하나가 존재하지 않는 경우 또는 모두 존재하지 않는 경우라도 좋다.

이상의 실시 형태에서는, 본 발명의 구조를 역 스태거형의 TFT를 스위칭 소자로 사용한 액정 표시 장치에 적용한 예를 설명하였지만, 본 발명은 이에 한정되지 않고, 예를 들면 정(正)스태거(staggered)형의 TFT, 또는 코프레나형의 TFT 등, 상이한 구조의 TFT를 사용한 경우에도 적용할 수 있다.

[제7 실시 형태]

다음에, 도 42 및 도 43을 참조하여 본 발명에 의한 액정 표시 장치의 제7 실시 형태를 설명한다.

도 42 및 도 43은 본 발명의 제7 실시 형태를 도시하는 액티브 매트릭스형 액정 표시 장치의 실시 형태이고, 구체적으로는 도 28 및 도 29에 도시한 제3 실시 형태에 있어서, 화소의 스위칭 소자에 정 스태거형의 TFT를 적용한 구조를 나타낸다.

도 42는 A-A'로 나타낸 선을 따른 단면도를, 도 43은 B-B'로 나타낸 선을 따른 단면도를 각각 나타낸다.

일반적인 정 스태거형의 TFT 구조의 경우, 상기한 일련의 실시 형태에서 설명한 역 스태거형의 TFT 구조와는 게이트 절연막(GI)을 통한 주사 신호 배선(GL) 및 영상 신호 배선(DL)의 층의 순서가 역전된 구조가 된다.

따라서, 영상 신호 전극(SD)의 한쪽을 연장하여 화소 전극(PX)을 형성한 경우 화소 전극(PX)은 최하층에 배치되게 된다.

영상 신호 배선(DL)과 공통 신호 전극(CE)의 중첩 부분에 있어서의 충간 절연막의 구조는 게이트 절연막(GI), TFT의 표면 보호막(PAS), 제1 도포형 절연막(OIL1)의 3층의 적층 절연막 구조가 된다.

한편, 화소 전극(PX) 위에 존재하는 절연막을 일괄적으로 제거하는 경우에는 화소 전극(PX) 위를 선택적으로 제거한 절연막(OIL1) 패턴을 사용하여 하층의 TFT 표면 보호막(PAS) 뿐 아니라 게이트 절연막(GI)에 대해서도 선택적으로 일괄적으로 제거하는 구조가 된다.

정 스태거형의 TFT 구조를 적용한 본 제7 실시 형태에서도 배선의 기생 용량 저감 효과, 액정의 구동 전압 저감 효과에 대해서는 동일하다.

본 발명은 이상의 실시 형태의 구조에 한정되는 것은 아니며, 배선 중첩 부분의 기생 용량 저감과 액정의 구동 전압 저감을 목적으로, 배선의 중첩 부분과 화소 전극위에서, 절연막층의 층수, 층을 구성하는 재료의 막두께 또는 층을 구성하는 재료의 유전율 중 적어도 한가지라도 다른 구조로 한 경우라면 모두 해당한다.

발명의 효과

본 발명의 실시예에 따르면, 영상 신호 배선 또는 주사 신호 배선 중 적어도 한쪽의 신호 배선위에, 전계를 차폐하기 위한 기준 전극이 되는 공통 신호 전극을 충간 절연막을 통해 적층하는 구조의 횡전계 방식의 액정 표시 장치에 있어서, 배선 중첩 부분에 기생 용량 저감용 충간 절연막을 새로이 한 층 추가하고, 화소 전극위에 선택적으로 형성하는 구조를 취하면, 액정의 구동 전압 상승을 초래하지 않고, 배선 중첩 부분에서의 기생 용량을 저감할 수 있으며, 또한 배선간의 단락 방지가 가능해진다.

또한, 종래 구조로 배치되어 있던 화소 전극위의 층간 절연막을, 배선 중첩 부분에 대해 선택적으로 제거하는 구조를 취하면, 화소 전극과 공통 신호 전극 사이에서 액정과 직렬로 접속되는 용량이 증대되어 효율적으로 액정에 전압을 인가할 수 있게 되므로, 구동 전압의 저감이 가능해진다.

또한, 두가지 효과를 조합한 구조로 하면 배선의 기생 용량 저감과 액정의 구동 전압 저감을 모두 실현할 수 있다.

따라서, 고투과율이며 고성능인 액정 표시 장치를 고수율로 제조할 수 있게 된다.

(57) 청구의 범위

청구항 1.

한쌍의 기판과, 상기 기판에 끼워 지지된 액정층과, 상기 한쌍의 기판의 제1 기판에는 복수의 주사 신호 배선과 그들과 매트릭스 형태로 교차하는 복수의 영상 신호 배선과, 이들 배선의 각각의 교점에 대응하여 형성된 복수의 박막 트랜지스터를 포함하고, 상기 복수의 주사 신호 배선 및 상기 영상 신호 배선으로 둘러싸이는 각각의 영역에서 적어도 하나의 화소가 구성되고, 각각의 화소에는 복수의 화소에 걸쳐 공통 신호 배선에 의해 접속된 공통 신호 전극과, 대응하는 박막 트랜지스터에 접속된 화소 전극을 갖고, 상기 공통 신호 전극과 상기 화소 전극 사이에 인가되는 전압에 의해 상기 액정 층에는 상기 제1 기판에 대해 지배적으로 평행한 성분을 가진 전계가 발생하는 액정 표시 장치에 있어서,

상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에 있어서 충간 절연막을 통해 중첩되고,

상기 중첩된 부분에 의해 용량이 형성되고,

상기 층간 절연막에 포함되는 절연막 중 적어도 한 층을, 상기 화소 전극상의 적어도 일부의 영역에 대해, 상기 공통 신호 전극과 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이 중첩하는 영역의 적어도 일부의 영역에 선택적으로 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 2.

한쌍의 기판과, 상기 기판에 끼워 지지되고 $\Delta \varepsilon$ 가 음(-)인 액정을 사용한 액정층과, 상기 한쌍의 기판의 제1 기판에는 복수의 주사 신호 배선과 그들과 매트릭스 형태로 교차하는 복수의 영상 신호 배선과 이들 배선 각각의 교점에 대응하여 형성된 복수의 박막 트랜지스터를 포함하고, 상기 복수의 주사 신호 배선 및 상기 영상 신호 배선으로 둘러싸이는 각각의 영역에서 적어도 하나의 화소가 구성되고, 각각의 화소에는 복수의 화소에 걸쳐 접속된 공통 신호 전극과 대응하는 박막 트랜지스터에 접속된 화소 전극을 갖고, 상기 공통 신호 전극과 상기 화소 전극 사이에 인가되는 전압에 의해 상기 액정층에는 상기 제1 기판에 대해 지배적으로 평행한 성분을 가진 전계가 발생하는 액정 표시 장치에 있어서,

상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에 있어서 충간 절연막을 통해 중첩되고,

상기 중첩된 부분에 의해 용량이 형성되고,

상기 층간 절연막에 포함되는 절연막의 층수를 n , 제 k 층의 절연막의 유전율을 ε_K , 막두께를 dK 로 한 경우의 식(1)을 SA로 하고, 상기 화소 전극상의 적어도 일부의 영역에 있어서, 상기 화소 전극상에 배치된 제1 배향막과 상기 화소 전극 사이에 배치된 절연막의 층수를 m , 제1층의 절연막의 유전율을 ε_L , 막두께를 dL , 액정의 다이렉터에 대해 수직 방향인 액정의 유전율을 ε_{LC} 로 한 경우의 식(2)(단, $m \geq 1$ 로 한다)를 SB로 한 경우에,

.....(1)

.....(2)

$SA < SB$ 가 성립하는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

한쌍의 기판과, 상기 기판에 끼워 지지되고 $\Delta \varepsilon$ 가 양(+)인 액정을 사용한 액정층과, 상기 한쌍의 기판의 제1 기판에 는 복수의 주사 신호 배선과 그들과 매트릭스 형태로 교차하는 복수의 영상 신호 배선과, 이들 배선의 각각의 교점에 대응하여 형성된 복수의 박막 트랜지스터를 포함하고, 상기 복수의 주사 신호 배선 및 상기 영상 신호 배선으로 둘러싸이는 각각의 영역에서 적어도 하나의 화소가 구성되고, 각각의 화소에는 복수의 화소에 걸쳐 접속된 공통 신호 전극과, 대응하는 박막 트랜지스터에 접속된 화소 전극을 갖고, 상기 공통 신호 전극과 상기 화소 전극 사이에 인가되는 전압에 의해 상기 액정층에는 상기 제1 기판에 대해 지배적으로 평행한 성분을 가진 전계가 발생하는 액정 표시 장치에 있어서,

상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에 있어서 충간 절연막을 통해 중첩되고,

상기 중첩된 부분에 의해 용량이 형성되고,

상기 충간 절연막에 포함되는 절연막의 층수를 n , 제 k 층의 절연막의 유전율을 ε_K , 막두께를 dK 로 한 경우의 식(3)을 SA로 하고, 상기 화소 전극상의 적어도 일부의 영역에 있어서, 상기 화소 전극상에 배치된 절연막의 층수를 m , 제1층의 절연막의 유전율을 ε_L , 막두께를 dL , 액정의 다이렉터에 대해 평행 방향의 액정의 유전율을 ε_{LC} 로 한 경우의 식(4)(단, $m \geq 1$ 로 한다)를 SB로 한 경우에,

.....(3)

.....(4)

$SA < SB$ 가 성립하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

한쌍의 기판과, 상기 기판에 끼워 지지되고 $\Delta \varepsilon$ 가 음(-)인 액정을 사용한 액정층과, 상기 한쌍의 기판의 제1 기판에 는 복수의 주사 신호 배선과 그들과 매트릭스 형태로 교차하는 복수의 영상 신호 배선과, 이들 배선의 각각의 교점에 대응하여 형성된 복수의 박막 트랜지스터를 포함하고, 상기 복수의 주사 신호 배선 및 상기 영상 신호 배선으로 둘러싸이는 각각의 영역에서 적어도 하나의 화소가 구성되고, 각각의 화소에는 복수의 화소에 걸쳐 접속된 공통 신호 전극과, 대응하는 박막 트랜지스터에 접속된 화소 전극을 갖고, 상기 공통 신호 전극과 상기 화소 전극 사이에 인가되는 전압에 의해 상기 액정층에는 상기 제1 기판에 대해 지배적으로 평행한 성분을 가진 전계가 발생하는 액정 표시 장치에 있어서,

상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에 있어서 충간 절연막을 통해 중첩되고,

상기 중첩된 부분에 의해 용량이 형성되고,

상기 화소 전극상의 적어도 일부의 영역에 있어서, 상기 제1 기판상에 배치된 제1 배향막과 상기 화소 전극 사이에는 절연막이 존재하지 않고, 상기 충간 절연막에 포함되는 절연막의 총수를 n , 제 k 층의 절연막의 유전율을 κ , 막두께를 d K 로 한 경우의 식(5)를 SA로 하고, 액정의 다이렉터에 대해 수직 방향의 유전율을 ϵ_{LC} 로 한 경우의 식(6)을 SB로 한 경우에,

$$\frac{1}{\epsilon_{SA}} = \frac{1}{\epsilon_{LC}} + \frac{n}{\kappa d} \quad \dots\dots (5)$$

$$\frac{1}{\epsilon_{SB}} = \frac{1}{\epsilon_{LC}} + \frac{1}{\kappa d} \quad \dots\dots (6)$$

$SA < SB$ 가 성립하는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

한쌍의 기판과, 상기 기판에 끼워 지지되고 $\Delta \epsilon$ 가 양(+)인 액정을 사용한 액정층과, 상기 한쌍의 기판의 제1 기판에는 복수의 주사 신호 배선과 그들과 매트릭스 형태로 교차하는 복수의 영상 신호 배선과, 이들 배선 각각의 교점에 대응하여 형성된 복수의 박막 트랜지스터를 포함하고, 상기 복수의 주사 신호 배선 및 상기 영상 신호 배선으로 둘러싸이는 각각의 영역에서 적어도 하나의 화소가 구성되고, 각각의 화소에는 복수의 화소에 걸쳐 접속된 공통 신호 전극과, 대응하는 박막 트랜지스터에 접속된 화소 전극을 갖고, 상기 공통 신호 전극과 상기 화소 전극 사이에 인가되는 전압에 의해 상기 액정층에는 상기 제1 기판에 대해 지배적으로 평행한 성분을 가진 전계가 발생하는 액정 표시 장치에 있어서,

상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에 있어서 충간 절연막을 통해 중첩되고,

상기 중첩된 부분에 의해 용량이 형성되고,

상기 화소 전극상의 적어도 일부의 영역에 있어서, 상기 제1 기판상에 배치된 제1 배향막과 상기 화소 전극 사이에는 절연막이 존재하지 않고, 상기 충간 절연막에 포함되는 절연막의 총수를 n , 제 k 층의 절연막의 유전율을 κ , 막두께를 d K 로 한 경우의 식(7)을 SA로 하고, 액정의 다이렉터에 대해 평행 방향인 유전율을 ϵ_{LC} 로 한 경우의 식(8)을 SB로 한 경우에,

$$\frac{1}{\epsilon_{SA}} = \frac{1}{\epsilon_{LC}} + \frac{n}{\kappa d} \quad \dots\dots (7)$$

$$\frac{1}{\epsilon_{SB}} = \frac{1}{\epsilon_{LC}} + \frac{1}{\kappa d} \quad \dots\dots (8)$$

SA < SB가 성립하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제1항에 있어서,

상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에서 중첩되는 부분에 형성된 상기 충간 절연막과, 상기 화소 전극상의 적어도 일부의 영역에서는,

상기 제1 기판상에 형성된 제1 배향막과 상기 화소 전극과의 사이에 배치된 절연막에서, 절연막층의 층수, 층을 구성하는 재료의 막두께 또는 층을 구성하는 재료의 유전율 중 적어도 하나가 상이한 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제1항에 있어서,

상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에서 중첩되는 부분에 형성된 상기 충간 절연막이 한 층으로 구성되고,

그 한 층을 상기 화소 전극상의 적어도 일부의 영역에 대해 선택적으로 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제7항에 있어서,

상기 충간 절연막은 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막의 일부 또는 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막의 일부 중의 어느 하나인 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제7항에 있어서,

상기 충간 절연막은 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막 또는 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막 이외의 제3 절연막인 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제1항에 있어서,

상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에서 중첩되는 부분에 형성된 상기 충간 절연막이 2층으로 구성되고,

그 중 적어도 한 층을, 상기 화소 전극상의 적어도 일부의 영역에 대해 선택적으로 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제10항에 있어서,

상기 충간 절연막은 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막의 일부 및 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막의 일부의 2층으로 구성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제10항에 있어서,

상기 충간 절연막 중, 한 층은 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막의 일부 또는 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막의 일부 중 어느 하나이고,

다른 한쪽은 상기 제1 절연막 및 상기 제2 절연막 이외의 절연막으로서, 상기 화소 전극상의 적어도 일부의 영역에 대해 선택적으로 형성한 제3 절연막인 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제1항에 있어서,

상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에서 중첩되는 부분에 형성된 상기 충간 절연막은 3층 이상으로 구성되고,

그 중 적어도 한 층을, 상기 화소 전극상의 적어도 일부 영역에 대해 선택적으로 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 14.

제13항에 있어서,

상기 충간 절연막에, 상기 박막 트랜지스터의 게이트 절연막으로서의 기능을 갖는 제1 절연막의 일부, 상기 박막 트랜지스터의 표면 보호막으로서의 기능을 갖는 제2 절연막의 일부, 및 상기 제1 절연막, 상기 제2 절연막 이외의 절연막으로서, 상기 화소 전극상의 적어도 일부의 영역에 대해 선택적으로 형성하는 제3 절연막의 전부가 포함되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 15.

제1항에 있어서,

상기 화소 전극상의 적어도 일부의 영역에 대해, 상기 공통 신호 전극과, 상기 영상 신호 배선 또는 상기 주사 신호 배선 중 적어도 한쪽의 신호 배선이, 그 일부에 있어서 중첩되는 부분에 선택적으로 형성된 상기 충간 절연막의 패턴 형상은, 상기 영상 신호 배선 또는 상기 주사 신호 배선의 패턴 형상을 따라 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 16.

제15항에 있어서,

상기 영상 신호 배선의 폭을 WDL, 상기 영상 신호 배선과 중첩되는 부분에 있어서의 상기 공통 신호 전극의 폭을 WCOM1, 상기 영상 신호 배선의 패턴 형상을 따라 선택적으로 형성한 상기 충간 절연막의 폭을 WISO1로 했을 경우에,

WDL < WISO1 < WCOM1

WDL > 0

또는

WDL < WCOM1 < WISO1

WDL > 0

이 성립하는 것을 특징으로 하는 액정 표시 장치.

청구항 17.

제15항에 있어서,

상기 주사 신호 배선의 폭을 WGL, 상기 주사 신호 배선과 중첩되는 부분에 있어서의 상기 공통 신호 전극의 폭을 WC OM2, 상기 주사 신호 배선의 패턴 형상을 따라 선택적으로 형성한 상기 충간 절연막의 폭을 WISO2로 했을 경우에,

WGL < WISO2 < WCOM2

WGL > 0

또는

WGL < WCOM2 < WISO2

WGL > 0

이 성립하는 것을 특징으로 하는 액정 표시 장치.

청구항 18.

제1항에 있어서,

상기 공통 신호 전극과 상기 영상 신호 배선이, 그 일부에서 중첩되는 부분에 형성된 상기 충간 절연막에 대해, 상기 화소 전극상의 적어도 일부의 영역에 형성된 절연막의 적어도 일부를 선택적으로 제거 또는 박막화한 것을 특징으로 하는 액정 표시 장치.

청구항 19.

제18항에 있어서,

상기 화소 전극상의 적어도 일부의 영역에 형성된 절연막의 적어도 일부를, 상기 화소 전극의 패턴 형상을 따라 선택적으로 제거 또는 박막화한 것을 특징으로 하는 액정 표시 장치.

청구항 20.

제19항에 있어서,

상기 화소 전극의 폭을 WPX, 상기 화소 전극의 패턴 형상을 따라 선택적으로 제거 또는 박막화한 영역의 상기 충간 절연막의 폭을 WISO3으로 했을 경우에,